

# Les nouveaux matériaux, moteurs de l'amélioration de la performance en microélectronique silicium

D'après la conférence de Didier Lévy

*Didier Lévy est ingénieur diplômé de l'École Nationale Supérieure de Chimie de Strasbourg, titulaire d'un Doctorat en Physique des Semi-conducteurs. Après de nombreuses années passées en Recherche et Développement dans les technologies silicium au sein du groupe STMicroelectronics<sup>1</sup> (Encart : « L'entreprise STMicroelectronics »), où il a travaillé en particulier sur la miniaturisation des transistors, il coordonne aujourd'hui les relations de STM avec le CEA-LETI de Grenoble<sup>2</sup>.*

L'utilisation de matériaux nouveaux est nécessaire pour permettre l'amélioration des performances des dispositifs de communication basés sur l'électronique silicium. Sur la **Figure 1** indiquant l'évolution du nombre de matériaux utilisés dans l'industrie des semi-conducteurs<sup>3</sup>, on peut

voir que les seuls matériaux utilisés dans les années 1950-60 étaient le silicium, l'oxyde de silicium et l'aluminium. Depuis les années 2000, on assiste à une véritable explosion du nombre de matériaux qui mettent en jeu la chimie à plusieurs stades de leur fabrication : la chimie est présente lors de l'élaboration de ces nouveaux matériaux, mais aussi lors de leur intégration, et enfin lors de leur caractérisation. Après quelques éléments de contexte, nous passerons en revue les matériaux utilisés en technologie dans les usines de production d'aujourd'hui, avant d'aborder ceux de demain.

1. [www.st.com](http://www.st.com)

2. [www-leti.cea.fr](http://www-leti.cea.fr)

3. Un semi-conducteur est un matériau dont la conductivité électrique se situe entre celle d'un isolant et celle d'un conducteur. Dans l'usage courant, le terme « semi-conducteur » désigne plus fréquemment tout composant fabriqué avec des matériaux semi-conducteurs.

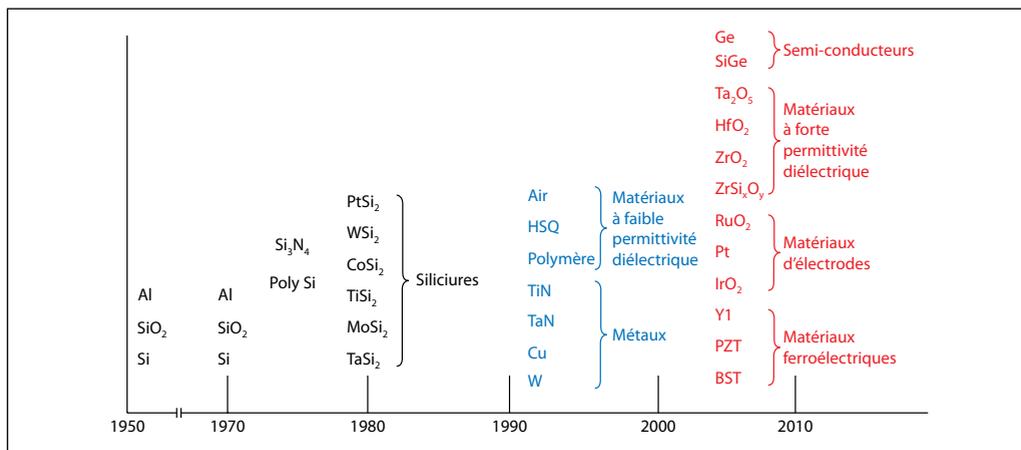


Figure 1

Évolution au cours du temps du nombre de matériaux, faisant ressortir une forte augmentation depuis soixante ans.

Source : Sze, based on invited talk at Stanford University, August 1999.

## L'ENTREPRISE STMICROELECTRONICS

STMicroelectronics (ST) est une société franco-italienne dont le chiffre d'affaire était de huit milliards et demi de dollars en 2012. N° 1 en Europe et n° 9 dans le monde, elle compte 48 000 employés dont 11 000 en Recherche et Développement, douze sites de production dont trois en France : Crolles dans la banlieue de Grenoble, Tours et Rousset dans la banlieue d'Aix en Provence.

Sur le tableau ci-dessous, on reconnaît, dans la liste des fabricants de semi-conducteurs classés par taille, plusieurs acteurs connus du grand public : Intel, Samsung, Texas Instruments et STMicroelectronics, qui sont des sociétés dites « intégrées », c'est-à-dire qu'elles contrôlent toute la chaîne de valeur des composants allant du design jusqu'à la production, en passant par les différents stades de R&D. D'autres sociétés sont moins connues du grand public. C'est le cas de TSMC, société Taïwanaise, qui est ce que l'on appelle une « fonderie » ou « mega-usine » de fabrication, et son pendant, la société Qualcomm, le plus important fournisseur mondial de processeurs, société exclusivement de design, et qui sous-traite entièrement sa production à d'autres entreprises (TSMC entre autres).

### Tableau

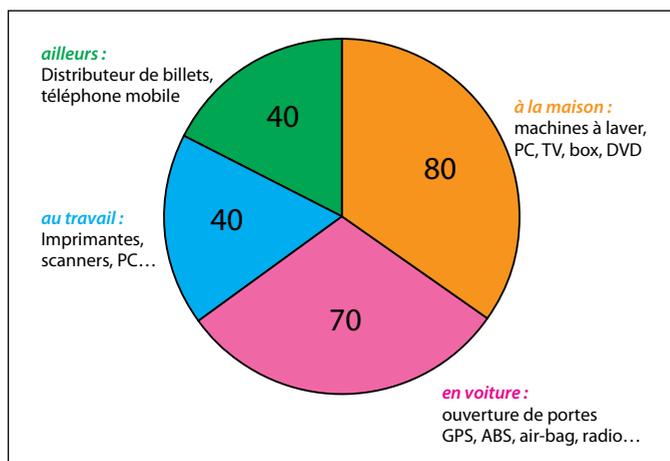
Top 10 des fabricants de semi-conducteurs en 2012.

1	Intel	États-Unis	6	Toshiba	Japon
2	Samsung	Corée	7	Renesas	Japon
3	TSMC	Taiwan	8	Hynix	Corée
4	Qualcomm	États-Unis	9	STMicroelectronics	France/Italie
5	Texas Instrument	États-Unis	10	Micron	États-Unis

## 1 Le contexte

### 1.1. Les circuits intégrés sont partout

Les circuits intégrés sont utilisés dans notre vie courante un peu partout comme l'indique la **Figure 2** : à la maison, au travail, en voiture ou ailleurs. Deux chiffres importants sont à retenir : une personne utilise couramment chaque jour 250 circuits électroniques correspondant à environ un milliard de transistors (**Figure 2**).



### 1.2. Les transistors

Quand on démonte un téléphone portable, la première chose qui apparaît est un boîtier<sup>4</sup> (**Figure 3A**), qui correspond aux produits finis qu'achètent les clients de STMicroelectronics. Au démontage du boîtier, on découvre une puce, la partie qui renferme les fonctions électroniques reliées au monde extérieur grâce à ses connexions (**Figure 3B**). En allant plus loin dans l'investigation du contenu du boîtier et en détachant les connexions, on voit apparaître la puce proprement dite (**Figure 3C**). Cette puce provient du sciage d'une plaquette de silicium de 300 mm (**Figure 3D**) qui contient entre 100 et 1 000 puces. L'utilisation d'un microscope électronique permet d'aller plus loin dans l'investigation, et de visualiser l'intérieur de la puce, et d'abord la

« métallisation<sup>5</sup> », ou « back-end » (**Figure 3E**). Ces bandes de métal permettent de relier les transistors les uns avec les autres. À une échelle encore inférieure, apparaissent les transistors proprement dits (**Figure 3F**), ces transistors constituant le cœur des composants électroniques. Ils sont entourés de leurs « contacts », qui font le lien avec la métallisation.

L'ensemble des étapes de procédés de fabrication, situé entre la réception de la tranche de silicium ultra-pur en provenance du fournisseur et l'élaboration du contact, constitue la première partie du procédé et est appelé « Front-end ». La **Figure 3G** montre un transistor avec une échelle de 50 nm. À titre de comparaison, l'ordre de grandeur de l'épaisseur d'un cheveu est de 50 microns. La taille minimale d'un transistor

**Figure 2**

Les applications des circuits intégrés. Une personne utilise chaque jour environ 250 circuits électroniques.

Source : STMicroelectronics.

4. Les boîtiers correspondent aux enveloppes protégeant un ou plusieurs composants, et comportant des traversées pour le raccordement à l'extérieur.

5. La métallisation est une mince couche de métal déposée sur une tranche afin de permettre l'interconnexion des éléments d'un circuit intégré.

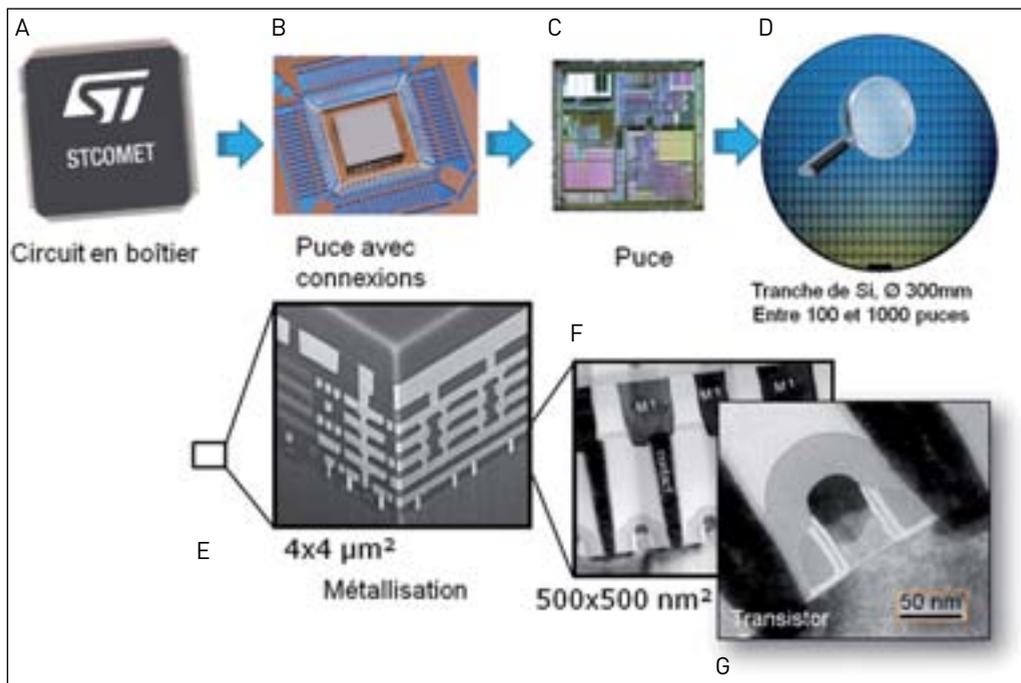


Figure 3

Du circuit au transistor : le circuit en boîtier (A) ; la puce avec connexions (B) ; la puce (C) ; la plaquette de silicium 300 mm (D) ; la métallisation ou « back-end » (E) ; zoom sur la métallisation (F) ; zoom sur un transistor (G).

Source : STMicroelectronics.

est par conséquent mille fois plus petite que l'épaisseur d'un cheveu (**Encart : « La dimension caractéristique de la technologie »**). L'ordre des différentes étapes de la fabrication des composants est bien évidemment inversé par rapport à ce que nous venons d'aborder en démontant le composant. On démarre en production par le « Front-end », puis le « Back-end » avant la mise en boîtier finale. Fabriquer des objets répondant à des caractéristiques précises, et de dimensions si faibles, relève du prodige. Un prodige évidemment maîtrisé à l'échelle industrielle par les fabricants.

Un exemple du principe d'une étape de procédé de fabrication, la définition de la grille, est schématisé sur la **Figure 6**. Sur un substrat de silicium

ultra-pur, on fait croître un isolant appelé « diélectrique »<sup>6</sup>, généralement une couche de silice  $\text{SiO}_2$ , représentée ici en rose, avant de déposer une couche conductrice, généralement du silicium polycristallin. Une couche de résine photosensible, qui permettra l'impression du dessin recherché grâce à sa réactivité chimique à la lumière, est ensuite déposée, puis exposée à un rayonnement ultraviolet à travers un masque qui détermine les zones que l'on voudra graver. La résine photosensible est insolée sur certaines zones et pas sur d'autres. La phase suivante consiste à

6. Un matériau est diélectrique s'il ne contient pas de charges électriques susceptibles de se déplacer de façon macroscopique : c'est un milieu qui ne peut pas conduire le courant électrique.

## LA LARGEUR DE LA GRILLE, DIMENSION CARACTÉRISTIQUE D'UNE TECHNOLOGIE

La **Figure 4** résume le fonctionnement simplifié d'un transistor. Partant de trois électrodes, appelées la source, la grille et le drain, des charges négatives sont introduites sous la source et le drain. Au repos, aucun courant ne passe entre les trois électrodes (**Figure 4A**). Par contre, à partir d'une certaine tension appliquée sur la grille, la polarité du silicium est inversée. Du courant peut alors passer entre la source et le drain (**Figure 4B**).

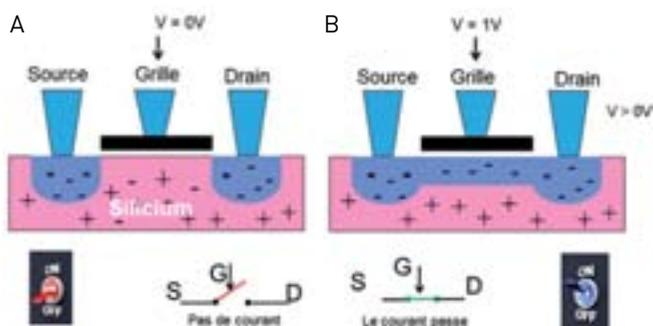


Figure 4

Schéma de fonctionnement d'un transistor sans courant (A) et avec courant (B).

Source : STMicroelectronics.

La **Figure 5A** montre une coupe en microscopie électronique à transmission (MET) où l'on reconnaît ces trois éléments clés : la source, le drain et la grille. Grâce à une nouvelle technique de microscopie électronique à transmission couplée avec l'analyse chimique (« *Energy Dispersive X-ray spectrometry* », EDX), on peut remonter à la visualisation d'un groupement d'atomes, voire d'atomes individuels. C'est ainsi que, sur la **Figure 5B**, on peut distinguer, dans certaines zones, les atomes d'arsenic (en orange).

La dimension caractéristique d'une technologie correspond à la distance  $L$  représentée sur la **Figure 5B** : il s'agit de la plus petite distance séparant la « zone source » et la « zone drain ». Cette distance  $L$  est de l'ordre de 60 nm sur la **Figure 5B**. Aujourd'hui, l'industrie est en train de mettre au point de manière industrielle la « technologie 14 nm », soit quatre fois plus petite que la grille représentée ci-dessous.

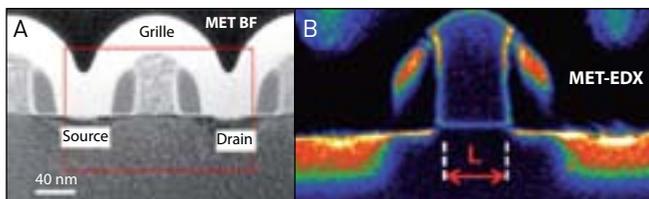
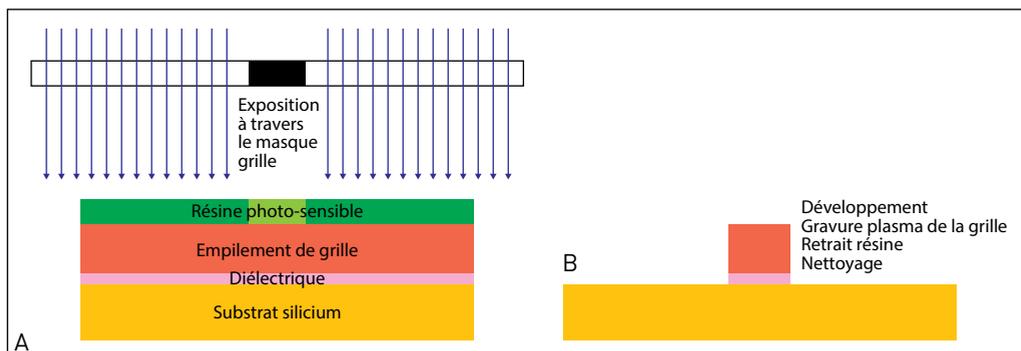


Figure 5

A) Coupe d'un transistor au microscope électronique à transmission ; B) image d'un transistor jusqu'au niveau de l'atome ( $L$  est la dimension caractéristique de la technologie).

Source : STMicroelectronics.



**Figure 6**

*Schéma de fabrication d'un transistor. Exemple simplifié du module de grille. A) Empilement des couches et exposition à la lumière ; B) définition du motif de grille après gravure plasma et retrait de la résine photosensible.*

Source : STMicroelectronics.

développer la résine, c'est-à-dire à éliminer les parties non irradiées par les UV. Sur le motif ainsi dégagé, on procède ensuite à une gravure plasma<sup>7</sup>, qui permet de délimiter l'empilement de grille. Il ne reste plus ensuite qu'à retirer la résine et nettoyer les surfaces exposées pour définir notre motif et continuer le procédé.

### 1.3. L'augmentation de la densité des transistors selon la loi de Moore

Gordon Moore, brillant Docteur en chimie et cofondateur de la société Intel, avait prédit, dès l'année 1965, que la densité<sup>8</sup> de transistors que l'on pourrait graver sur un support silicium allait doubler tous les ans. Cette affirmation, baptisée « Loi

de Moore », a été revue à la baisse une première fois en 1975 (doublement de la densité en deux ans au lieu d'un), puis une deuxième fois dans les années 2010 (doublement tous les trois ans).

Sur la **Figure 7**, où est représenté le nombre de transistors par puce en fonction de l'année de réalisation, apparaît la gamme des 86 d'Intel [86, 286, 386 dans les années 1980] puis celles des Pentiums dans les années 1995 à 2005. Cette courbe est déterminante pour toute industrie du semi-conducteur, mais également pour toutes les industries qui se sont automatisées depuis les quarante dernières années : les immenses gains de productivité obtenus suivent exactement la même tendance.

Une autre façon de représenter la loi de Moore est illustrée sur la **Figure 8**. La surface de la puce dessinée en technologie 120 nm (longueur caractéristique  $L = 120$  nm) a été divisée par seize quand on est passé en technologie 32 nm. Par contre, dans le même temps, le nombre d'étapes nécessaires à la fabrication n'a augmenté que d'un facteur 1,5. On comprend

7. La gravure au plasma est une technique de gravure sèche utilisée en microélectronique consistant à faire subir à un échantillon (wafer ou galette. Ici, la plaque de semi-conducteur) un bombardement de gaz ionisé (plasma) afin d'en retirer une ou plusieurs couches de matériaux.

8. La densité mesure le rapport entre le nombre de composants intégrés dans un circuit intégré et sa taille.

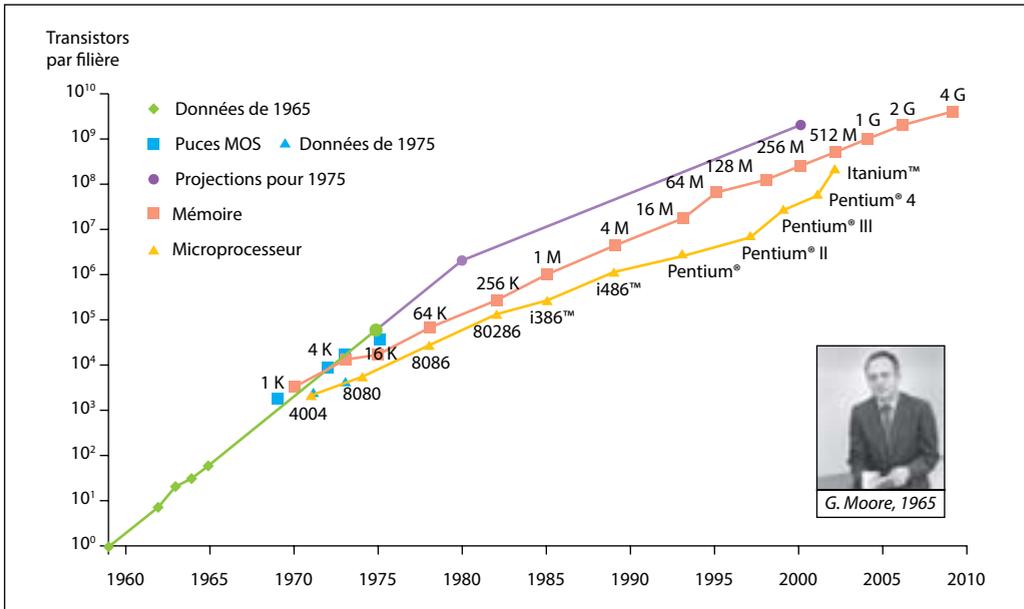


Figure 7

Courbe de prévision établie par Gorden Moore en 1965, représentant la loi de Moore, prévoyant que la densité de transistors par puce doublerait tous les deux ans.  
 MOS = semi-conducteur en oxyde de métal (« Metal Oxide Semiconductor »).

Source : STMicroelectronics.

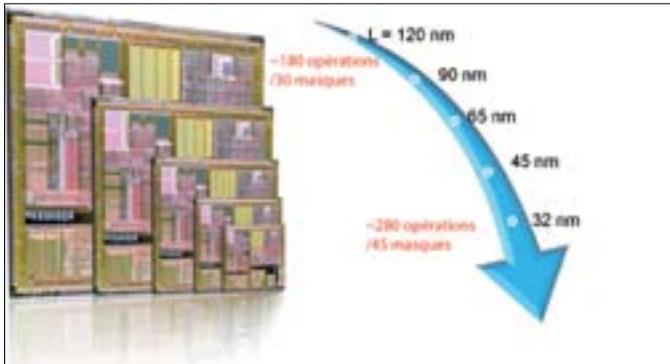


Figure 8

Photo d'une puce 120 nm. La densité augmente plus vite que le nombre d'étapes de fabrication. Entre le 120 nm et le 32 nm, la surface est divisée par seize et le nombre d'étapes multiplié par seulement 1,5. Ce qui montre l'intérêt économique de la course aux dimensions.

Source : STMicroelectronics.

donc pourquoi les industriels préfèrent aller vers la réduction des dimensions, car ils peuvent intégrer, sur une même surface de silicium, davantage de puces sans grande pénalité sur les coûts qui sont eux proportionnels au nombre d'étapes de fabrication.

## 2 Les matériaux aujourd'hui

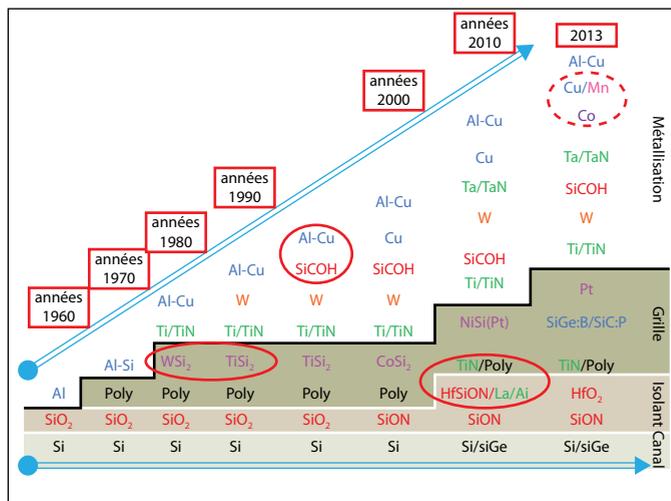
### 2.1. Les matériaux utilisés dans l'industrie

La Figure 9 représente l'évolution des matériaux utilisés dans la fabrication des

Figure 9

Évolution du nombre de métaux utilisés dans l'industrie depuis les années 1960. On assiste à un accroissement lié à des ruptures technologiques, avec les siliciures (métal-silicium).

Source : STMicroelectronics.



transistors depuis les années 1960. Ceux qui figurent en dessous du trait noir sont utilisés au début du processus de fabrication (« Front-End ») ; les matériaux au-dessus de la ligne noire, sont utilisés lors de la partie de métallisation (« Back-End »). La troisième partie, la mise en boîtier conçu pour protéger le composant actif, mais aussi pour assurer des connexions avec l'extérieur, est généralement sous-traitée dans les usines d'assemblage en Asie et n'est pas considérée dans ce chapitre.

Les ruptures technologiques sont entourées en rouge sur la **Figure 9**. En « Front-End », la 1<sup>ère</sup> rupture a été l'introduction des siliciures dans les années 1980 :  $WSi_2$ ,  $TiSi_2$ . Les siliciures sont toujours utilisés aujourd'hui ( $NiSi$  puis  $NiSi(Pt)$ , en rose sur la **Figure 9**. La deuxième rupture technologique est plus récente : il s'agit de l'utilisation des matériaux à forte constante diélectrique, également appelés « high k »

dans le jargon technique, plus isolants que l'oxyde de silicium  $SiO_2$  qu'ils ont remplacé. Il s'agit d'oxynitride de hafnium ( $HfSiON$ ), associée ou non à de fines couches de lanthane et d'aluminium, utilisées pour le nœud technologique 32/28nm, puis  $HfO_2$  (dioxyde d'hafnium) pour le nœud 20 nm. Dans le « Back-End », la grande révolution date du milieu des années 1990 : il s'agit de l'introduction du cuivre à la place de l'aluminium, ainsi que celle des isolants à faible permittivité diélectrique dénommés « low k poreux ». Enfin, plus récemment, le cobalt et le manganèse ont été introduits pour améliorer l'« électromigration », c'est-à-dire la fiabilité des composants.

## 2.2. La chimie, présente dans de nombreuses étapes de fabrication

La fabrication des puces fait étroitement intervenir la chimie. Un premier exemple

est illustré ici pour la gravure de la grille. Pour la technologie 65 nm, l'empilement des couches à graver (**Figure 10.1**) est constitué d'une fine couche d'oxyde ( $\text{SiO}_2$ ) sur laquelle a été déposé du silicium polycristallin, puis une couche de carbone amorphe, une nouvelle couche d'oxyde et enfin la résine photosensible. La gravure se fait en une succession de six étapes de gravure assistée par un plasma, décrite entre les **Figures 10.2** et **10.6**. La dernière séquence consiste à nettoyer les résidus de polymères par un ensemble de nettoyages avec l'acide fluorhydrique (HF) connue pour graver  $\text{SiO}_2$ , ou avec un mélange d'acides appropriés.

Pour la technologie 28 nm, la complexité a considérablement augmenté. En effet, il convient, pour cette technologie avancée, de graver onze couches de matériaux successifs et d'utiliser treize gaz

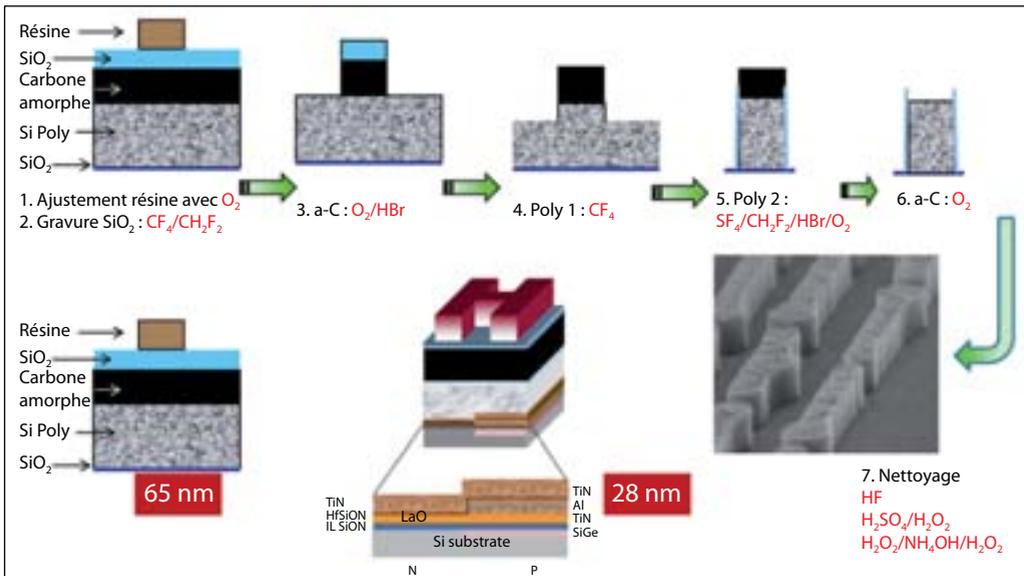
et six produits chimiques versus quatre couches, cinq gaz et quatre produits chimiques pour la technologie 65 nm (**Figure 10**).

Le deuxième exemple qui sera présenté concerne l'électrodéposition<sup>9</sup> du cuivre pour la métallisation. Les cavités à remplir, par la technique d'électrolyse du cuivre, sont de plus en plus fines : de l'ordre de 20 nm pour la technologie 32 nm, de l'ordre de 7 nm pour la technologie 16 nm. La **Figure 11** représente la métallisation d'un seul motif, sachant qu'il y en a un grand nombre identiques à traiter simultanément. Quand le cuivre est déposé, il est « conforme », c'est-à-dire qu'il suit les irrégularités de hauteur de l'échantillon (en bas à gauche sur la **Figure 11**).

**Figure 10**

Les étapes pour la gravure de la grille dans les technologies 65 nm et 28 nm.

Source : STMicroelectronics.



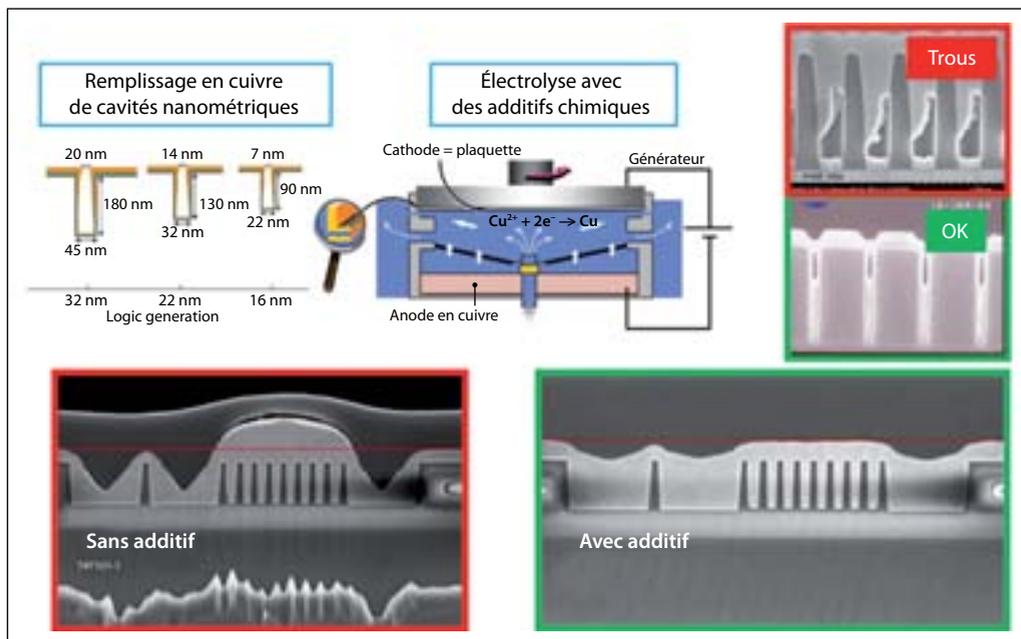


Figure 11

Les étapes de l'électrodéposition du cuivre.

Source : STMicroelectronics.

Pour obtenir un dépôt beaucoup plus « conforme », donc plus plat (en bas à droite sur la **Figure 11**), on utilise des additifs chimiques qui permettent de ralentir la cinétique du dépôt et d'obtenir le résultat voulu. La nature des additifs et le détail des conditions opératoires résultent d'essais successifs. Les mises au point sont effectuées dans des centres de recherche comme le CEA-LETI<sup>10</sup> qui réunissent en leur sein des laboratoires de chimie, de caractérisation et de qualification, et où convergent les principaux résultats en provenance des laboratoires propres des fournisseurs de chimie. Cette collaboration permet de réduire les délais de mise au point de ce type de procédé.

10. LETI : Laboratoire d'électronique et de technologie de l'information.

Comme troisième exemple d'utilisation de la chimie en technologie, nous présentons ici l'étape de nettoyage après gravure dans les étapes de métallisation. L'objectif de cette étape est d'enlever des résidus de polymères et de cuivre (**Figures 12 et 13**). Nous avons mis au point, dans notre usine de ST Crolles, un procédé de nettoyage en deux étapes : une première étape où les métaux sont complexés avec un acide, l'acide glycolique dans ce cas-ci, une deuxième où les résidus sont décrochés par l'action de l'acide fluorhydrique très pur qui grave de la matière. La principale difficulté de la mise au point de ces deux étapes est de trouver le compromis entre un nettoyage efficace, donc qui grave le matériau, mais pas trop : ne pas élargir les cavités au-delà des spécifications demandées par la technologie.

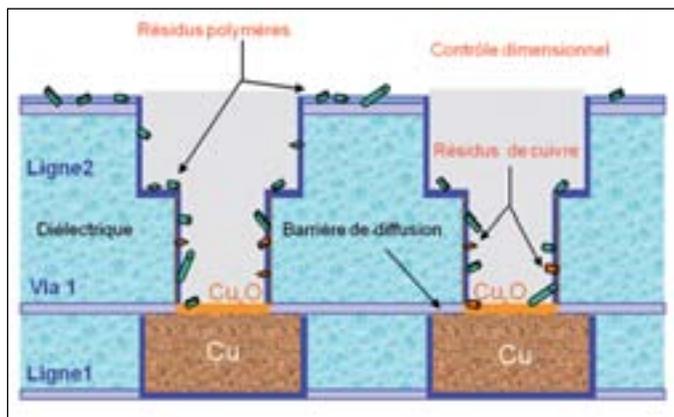


Figure 12

Nettoyage en phase liquide dans la métallisation.  
Source : STMICROELECTRONICS.

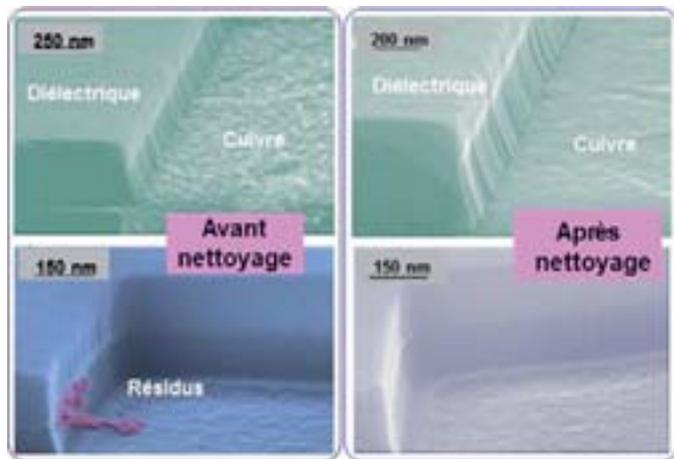


Figure 13

Photo avant et après nettoyage.  
Source : STMICROELECTRONICS.

Ces exemples illustrent parfaitement le fait que la chimie est présente dans plusieurs étapes de procédés de fabrication des semi-conducteurs. D'une manière plus générale, nous avons regroupé par famille, sur la **Figure 14**, les principales spécialités mettant en jeu ces procédés chimiques (en orange). Il s'agit des dépôts d'isolants par voie physique et chimique (1), des dépôts de couches conductrices (2), des gravures par voie gazeuse assistée plasma ou par voie liquide (3), des nettoyages

par voie chimique liquide (4), mais également la sélection de résines de la lithographie (5), un domaine tout à fait spécifique (voir le **Chapitre de I. Cayrefourcq** de *Chimie et technologies de l'information*). La chimie est également au centre des développements des procédés de polissage mécano-chimique (6), très dépendants des consommables chimiques liquides appelés « slurries », mais également pour l'élaboration des gaz utilisés pour recuire les matériaux (7), et enfin les implantations ioniques servant à

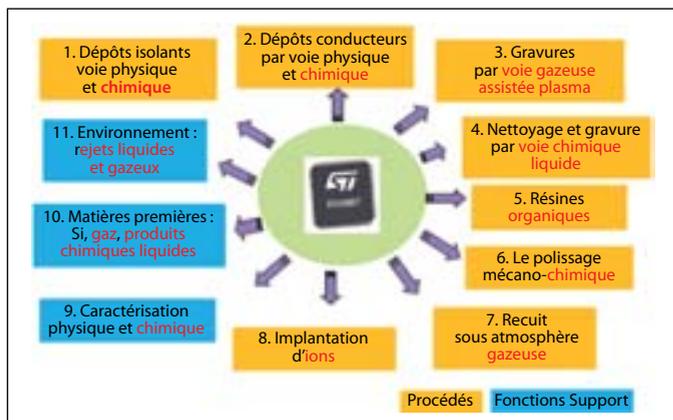


Figure 14

La chimie est présente dans la plupart des étapes de fabrication, mais aussi dans les fonctions de support.

Source : STMicroelectronics.

« doper » le silicium, donc à le rendre conducteur (8).

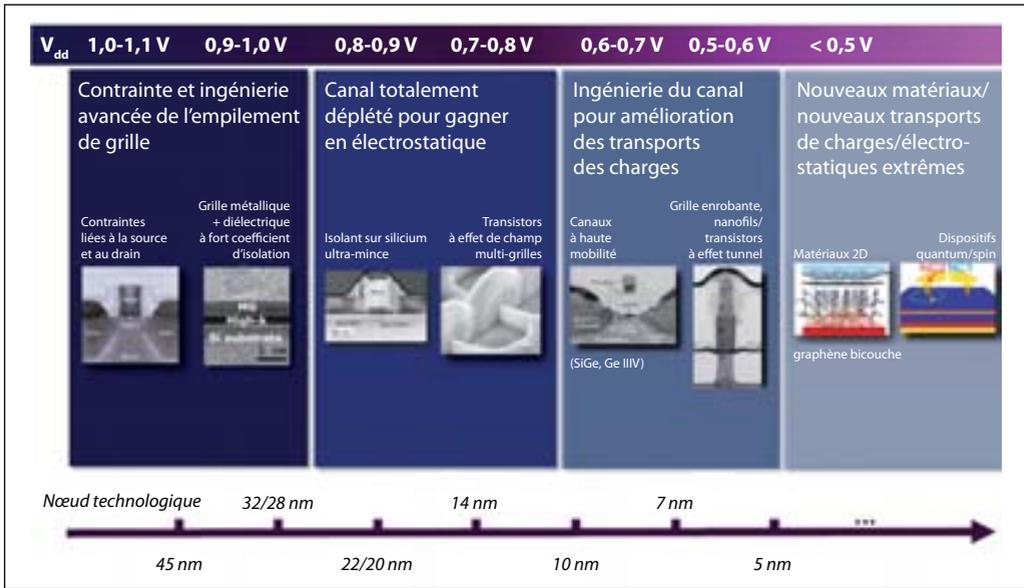
Outre les étapes de fabrication elles-mêmes, les chimistes interviennent également dans les fonctions dites de « supports » à la R&D et à la production, comme la caractérisation des matériaux et des dispositifs (9). L'écosystème du bassin grenoblois bénéficie d'une base installée en outils de caractérisation, et en expertise humaine qui va de pair, unique en Europe. Ces outils se retrouvent d'une part dans les salles blanches des laboratoires industriels et universitaires (par exemple les dernières générations de microscopie électronique à balayage avec analyse chimique permettant de remonter jusqu'aux atomes), ou dans des sites dédiés (ESRF ou « Synchrotron », par exemple). Les autres métiers de la microélectronique mettant en jeu des processus chimiques sont ceux liés à l'élaboration des matières premières (10). Citons par exemple Air Liquide, leader mondial français de fabrication de gaz industriels et spéciaux. Enfin,

tous les métiers liés au respect de l'environnement (11) : une usine de composants émet des rejets chimiques sous forme gazeuse et liquide, et est soumise à la législation européenne qu'il convient de suivre à la lettre, voire d'anticiper.

## 3 Les matériaux de demain

### 3.1. Continuité de la loi de Moore

La **Figure 15** présente les grandes tendances de l'évolution des technologies en microélectronique. Fin 2013, les usines des principaux fabricants de semi-conducteurs ont mis sur le marché à l'échelle industrielle les technologies 45 nm et 28 nm (taille de grille minimale de 45 nm et 28 nm respectivement). Les grandes avancées technologiques ont porté sur la mise au point des techniques de contraintes (« strain »), les matériaux de grilles à base de matériaux à fort coefficient d'isolation (« high k ») et grilles métalliques. Les centres de Recherche et Développement des grands groupes industriels mettent au point, en ce début 2014, les technologies des « nœuds » 22 nm au 14 nm. Les principales avancées en matériaux, donc en chimie, portent sur l'élaboration de substrats à base d'isolant sur silicium (« *Silicium on Insulator* », SOI) et de nouvelles architectures à base de grilles multiples. Après le développement de structures à base d'épithaxie SiGe pour le nœud 10 nm, la prochaine



**Figure 15**

Activités du centre de R&D de l'Institut de microélectronique et composants (IMEC).

Source : centre de recherches belge « IMEC ».

grande rupture technologique est attendue pour le nœud 7 nm avec l'arrivée des matériaux III-V : ils apparaissent dans les colonnes III et V du tableau périodique de Mendeleïev comme InGaAs et InP, par exemple. Viendront ensuite les nanofils et autre « grilles entourées », actuellement à l'état de recherches avancées dans les laboratoires universitaires.

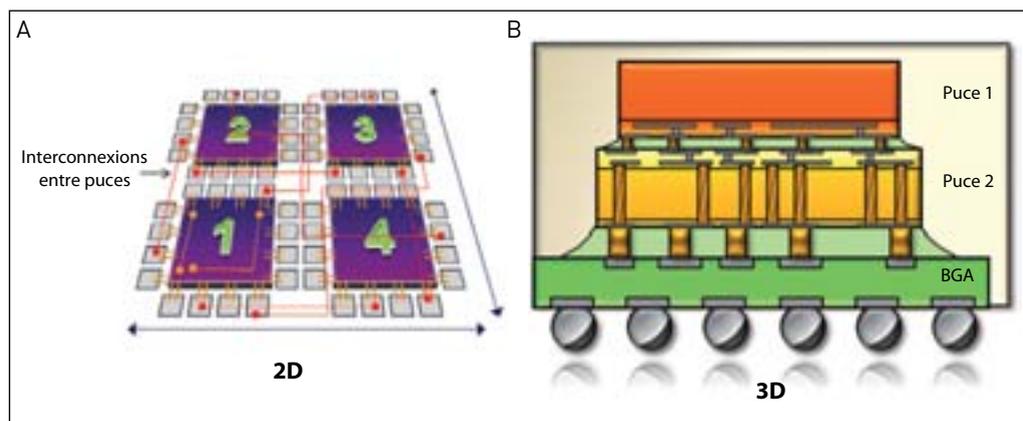
### 3.2. Puces en 3D et échanges thermiques

Aujourd'hui, dans un téléphone portable, les puces sont disposées les unes à côtés des autres. Des recherches très actives dans l'industrie portent sur la superposition de deux puces, de manière à gagner en surface comme sur le schéma de la **Figure 16**. L'idée est de n'utiliser les technologies avancées, donc chères, que pour les applications où

de la vitesse est requise, et d'utiliser une technologie plus relâchée, donc moins chère, là où elle n'est pas strictement nécessaire.

Une importante question pour valider ce type d'architecture appelé architecture « 3D » (trois dimensions), et qui reste ouverte à ce jour, concerne le contrôle des échanges thermiques entre la puce du haut et celle du bas. Pour cela, des modèles de fiabilité et de design sont à l'étude, l'efficacité de l'évacuation de la chaleur apparaissant comme un facteur limitant du progrès en miniaturisation. Ces nouvelles architectures mettent en jeu de nouveaux concepts, et des matériaux qui autrefois n'étaient présents que dans les sites d'assemblage<sup>11</sup>,

11. Le packaging, ou conditionnement, est le processus permettant d'incorporer la puce dans un matériau destiné à le protéger de l'environnement.



**Figure 16**

Évolution de la technologie en 2D où les puces sont reliées par des lignes d'interconnexions externes (A) vers la technologie en 3D où les puces sont superposées (interconnexions internes, B).

Source : STMicroelectronics.

comme par exemple l'or et l'étain, utilisés pour certaines connexions et soudures. Ces nouveaux matériaux demandent bien évidemment de l'expertise et des moyens en dépôt, gravure, et autres

nettoyages, mais également de la compétence en contamination croisée. Ces matériaux sont en effet connus pour détériorer la performance des transistors, s'ils sont utilisés à mauvais escient.

## Des priorités pour la recherche

La conclusion de ce chapitre va en reprendre le titre : elle veut insister sur l'importance de disposer de matériaux nouveaux pour la poursuite de la course aux performances. Nous avons montré que la chimie, qui est au cœur de l'utilisation de ces nouveaux matériaux, intervient lors de leur élaboration, leur intégration et enfin leur caractérisation.

D'autres défis, peu abordés dans ce chapitre, attendent les nombreux chimistes impliqués dans le monde du silicium. Le premier concerne le rôle des interfaces entre les différents matériaux, interfaces dont l'impact croît avec la réduction en dimension. Les techniques d'analyses physico-chimiques de plus en plus sophistiquées vont aider à relever ce défi de manière raisonnable. La maîtrise de la

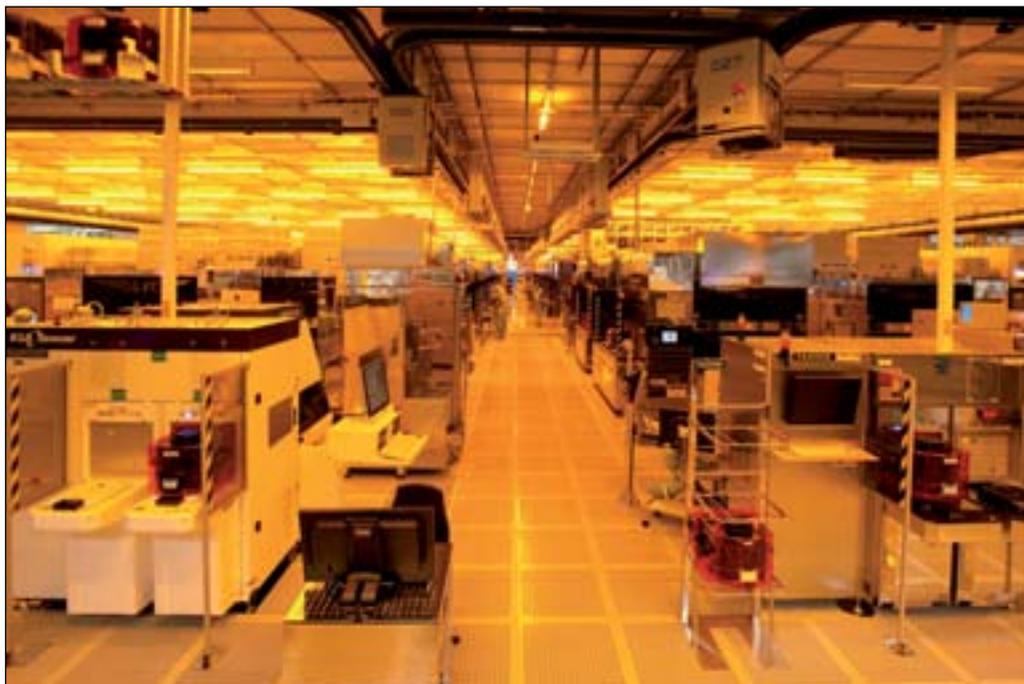


Figure 17

Photo de la salle blanche à Crolles.  
Source : Artechnique –  
STMicroelectronics.

contamination croisée, quand un grand nombre d'éléments chimiques sont en présence dans un même site, constitue un deuxième grand défi pour les chimistes. Ces contaminations croisées peuvent venir des plaquettes elles-mêmes par diffusion à la surface de la plaquette, mais également par diffusion de la face avant vers la face arrière : effet « mémoire » sur un équipement contaminé.

Enfin, tous ces nouveaux développements s'inscrivent dans le contexte de commerce international soumis à des normes environnementales strictes que les chimistes doivent anticiper.

Et demain ? Les principaux axes de recherche en cours dans les laboratoires universitaires et industriels proches de la microélectronique concernent les résines photosensibles de nouvelle génération, l'introduction des matériaux III-V, les précurseurs de chimie

compatibles avec des épitaxies<sup>12</sup> basse température.

Nous terminerons en montrant une photo de la salle blanche de Crolles 300, l'usine la plus récente de STMicroelectronics (**Figure 17**). On reconnaît la petite boîte orange emblématique et dimensionnée pour transporter les tranches de silicium de 300 mm de diamètre. Ces boîtes, comportant vingt-cinq tranches, sont acheminées par des robots montés sur des rails au plafond. Une fois placé au-dessus de l'équipement choisi, un petit ascenseur permet à la boîte jaune de descendre et d'être traitée avec la recette demandée, préalablement envoyée sur l'équipement par le système de production informatique central. Tout cela doit se faire bien évidemment dans la plus grande propreté. Pour donner un ordre de grandeur, cette salle blanche est entre cent et mille fois plus propre qu'une salle d'opération.

---

12. L'épitaxie est une technique de croissance orientée, l'un par rapport à l'autre, de deux cristaux possédant un certain nombre d'éléments de symétrie communs dans leurs réseaux cristallins. Au sujet de l'épitaxie et des matériaux III-V, voir le **Chapitre de B. Demotes-Mainard** dans *Chimie et technologies de l'information*, coordonné par M.-T. Dinh-Audouin, D. Olivier et P. Rigny, EDP Sciences, 2014.