

La chimie au CŒUR des (nano)transistors

Yannick Le Tiec est docteur-ingénieur, diplômé de l'École Nationale Supérieure de Chimie de Montpellier (ENSCM) puis de l'Institut National Polytechnique de Grenoble (INPG). En 1995, il a démarré ses travaux de recherche au CEA-LETI¹ et en 2009, il rejoint l'alliance IBM-ST-LETI à Albany (NY) aux États-Unis pour y optimiser les filières les plus avancées de la microélectronique.

1 Le transistor

1.1. Qu'est-ce qu'un transistor ?

Un transistor est composé de trois éléments essentiels : la source, le drain et la grille (**Figure 1**). La grille joue le rôle d'un robinet autorisant le passage de porteurs (des électrons pour les transistors de type n ou des trous pour les transistors de type p). Dans un état normal, à 0 V, aucun courant ne passe entre les deux zones clés : la source et le drain. En présence d'une tension électrique suffisante, un courant, appelé I_{ON} , passe entre la source et le drain :

c'est le « courant à l'état passant ». Lorsque le transistor est fermé, on parle d'un courant de fuite, appelé I_{OFF} , le « courant à l'état bloqué ».

Le marché des transistors est principalement orienté sur deux familles :

- les transistors « haute performance », que l'on associe principalement aux microprocesseurs. Les courants I_{ON} y prennent des valeurs de centaines de microampères, voire de quelques milliampères ; le I_{OFF} est dans la gamme des 10^{-7} ampères ;
- les transistors « basse consommation », employés pour des applications mobiles : les téléphones portables, les lecteurs MP3 ou encore les tablettes. On les construit pour avoir un I_{OFF} le plus faible pos-

1. Laboratoire d'électronique et des technologies de l'information (LETI), www-leti.cea.fr

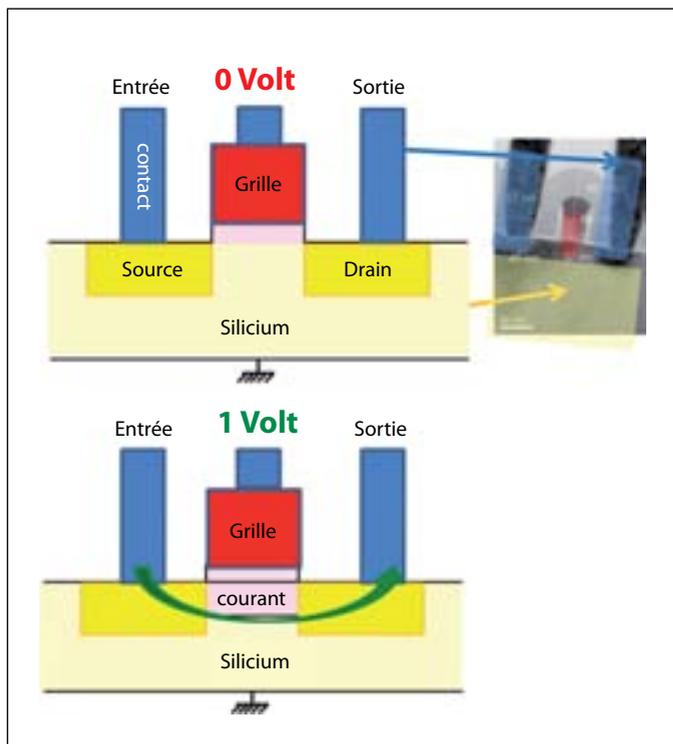


Figure 1

Schéma de fonctionnement d'un transistor. Un transistor réagit comme un interrupteur électrique : le courant ne passe dans le canal que si une tension suffisante est appliquée sur la grille.

sible, dans la gamme des 10^{-9} ampères, afin de minimiser la consommation et améliorer l'autonomie.

Un transistor réagit comme un interrupteur électrique : le courant ne passe dans le canal (la zone située entre la source et le drain) que s'il y a une tension suffisante. Le monde d'aujourd'hui tend à faire converger ces deux familles sur le même produit. On voit ainsi que la tablette tient à la fois du PC et du téléphone portable : on apprécie la performance du produit et l'on apprécie aussi le fait que le composant consomme très peu d'énergie, retardant le besoin d'être rechargé.

La définition des transistors de l'avenir est discutée par

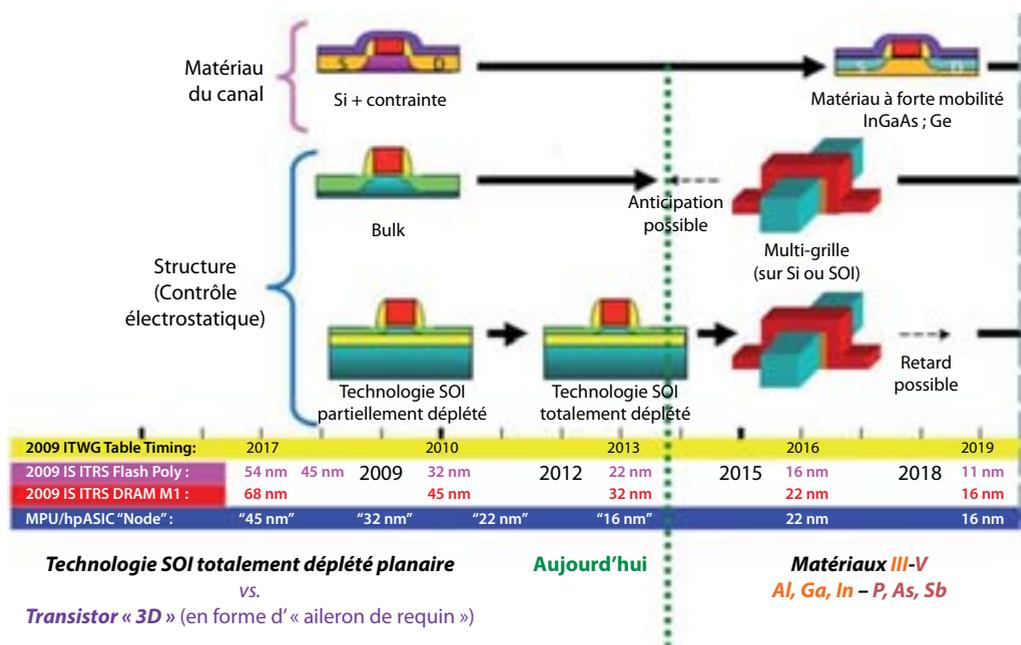
plus d'un millier d'experts de différents pays regroupés au sein d'une organisation dénommée l'International Technology Roadmap for Semiconductors (ITRS)². Dix-sept groupes de travail échangent sur différents secteurs de la fabrication d'un transistor : matériaux, interconnexions, design, modélisation, packaging, etc.

1.2. Les transistors au fil des années

Les technologies maîtrisées les plus avancées en 2013 sont celles des transistors « 22-32 nm ». La **Figure 2** représente à côté du transistor classique en silicium, dénommé le « bulk », de nouvelles familles de transistors : des structures, toujours planaires, représentées dans la partie basse de la figure, comportent une couche supplémentaire jaune d'oxyde de silicium (SiO_2) enterré et une couche de surface (en vert sur la figure) d'épaisseur très faible, qui ne dépasse pas une dizaine de nanomètres de silicium. On parle de SOI (« Silicon On Insulator », en anglais), c'est-à-dire « Silicium sur Isolant », un empilement judicieux $\text{Si}/\text{SiO}_2/\text{Si}$ où le silicium (Si) de surface présente l'épaisseur adéquate (la zone active) du transistor et l'oxyde de silicium (SiO_2) enterré joue un rôle essentiel d'isolation pour diminuer le courant de fuite dans la verticalité de la structure.

Les transistors peuvent être de deux types, n ou p, et ce qui nous intéresse en

2. www.itrs.net



microélectronique c'est d'avoir les meilleurs de chaque type. Les porteurs de charge sont les électrons pour le type n, et les trous (absence d'électron) pour le type p. Le but est de faire passer ces porteurs de charge dans une zone active très confinée, que l'on délimite par des tranchées d'isolation, réalisées typiquement en oxyde de silicium.

Pour réaliser des schémas d'intégration plus futuristes, on voudrait accélérer davantage les électrons et les trous. Cela nous amène vers l'étude de matériaux dits à forte mobilité (μ), pour lesquels les matériaux de type III-V (constitués d'un élément de la colonne III et d'un élément de la colonne V du tableau de Mendeleïev. Voir le **Chapitre de B. Demotes-Mainard** de l'ouvrage *Chimie et technologies de*

l'information, EDP Sciences, 2014) fournissent des solutions, comme les alliages de type arséniure de gallium (AsGa) ou encore phosphure d'indium (InP). L'utilisation de couches stressées (couche en tension ou en compression, selon la contrainte) peut aussi améliorer la performance des transistors individuels, ce qui fait l'objet de nombreuses recherches actuellement.

1.3. La fabrication d'une puce, étape par étape (Figure 3)

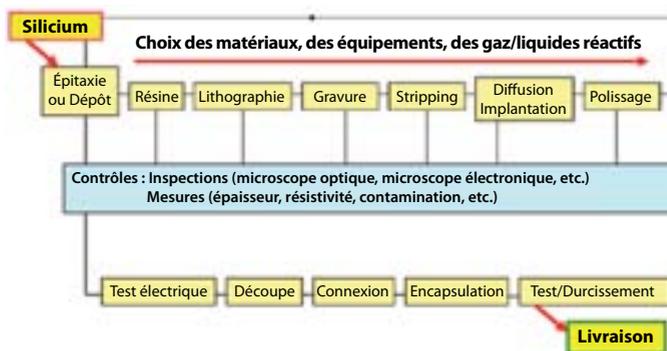
Comment fabrique-t-on une puce, qui est une cohabitation de milliards de transistors ? Au départ, on utilise une plaquette de silicium « Si ultra-pur » (ou une plaquette de SOI dans des technologies plus récentes), sur laquelle on dépose une résine. On met

Figure 2

Évolution des architectures de transistors au fil des années. SOI : Silicium sur isolant (Si/SiO₂/Si) ; ITWG : Groupe de travail d'ITRS ; ITRS : International Technology Roadmap for Semiconductors ; Flash Poly : Mémoire type flash (à grille en Si) poly(cristallin) ; DRAM : Mémoire dynamique ; MPU : Unité multi-processeurs (hpASIC : composant intégré (pour la haute performance)).

Figure 3

Les étapes de fabrication d'un composant en microélectronique.



ensuite en œuvre une opération de lithographie³ et de gravure pour définir des zones d'isolation entre des zones actives sur lesquelles seront élaborés les transistors. Par un nouveau jeu d'étapes Lithographie-Gravure, on définit les zones de source et drain, pour les transistors de type n ou p successivement, en ajustant le nombre et le profil des dopants par des étapes spécifiques d'implantation ionique. On construit ensuite l'empilement de grille, considéré comme le cœur du transistor, en prenant le plus grand soin à élaborer l'oxyde de grille, l'acteur majeur dans le processus d'ouverture et fermeture de la grille. Une fois ces motifs finalisés, l'ensemble est recouvert d'une couche isolante, qui épouse la topologie de surface, avant

3. La lithographie est une technique qui utilise une longueur d'onde spécifique (ou un faisceau d'électrons) pour tracer des motifs sur une surface au travers d'un masque (sorte de pochoir). Voir le **Chapitre de I. Cayrefourcq** dans *Chimie et technologies de l'information*, coordonné par M.-T. Dinh-Audouin, D. Olivier et P. Rigny, EDP Sciences, 2014.

d'être soumise à un polissage mécano-chimique pour permettre de planariser la surface et ainsi démarrer la construction de nouveaux étages d'interconnexions, selon des techniques semblables (lithographie, gravure, nettoyage, préparation de surface, dépôts de couches barrières métalliques (Ti, TiN, Ta, TaN), de métal (W, Cu), ou d'isolant (SiO₂, SiOC, SiON), polissage pour récupérer une nouvelle surface plane afin de définir les étages supérieurs. Tout au long de ces étapes de fabrication, intervient un contrôle en continu – au moyen de mesures, d'inspections – pour contrôler la présence de particules, les épaisseurs des éléments réalisés, pour vérifier que l'on est bien là où l'on doit être. *In fine*, intervient le test électrique (découper, connecter et mettre en boîtier) et les tests de durcissement. Ces derniers permettent d'assurer la fiabilité des composants sur leur durée d'utilisation ; on les place dans des conditions d'humidité et de température élevée afin de simuler en quelques dizaines d'heures

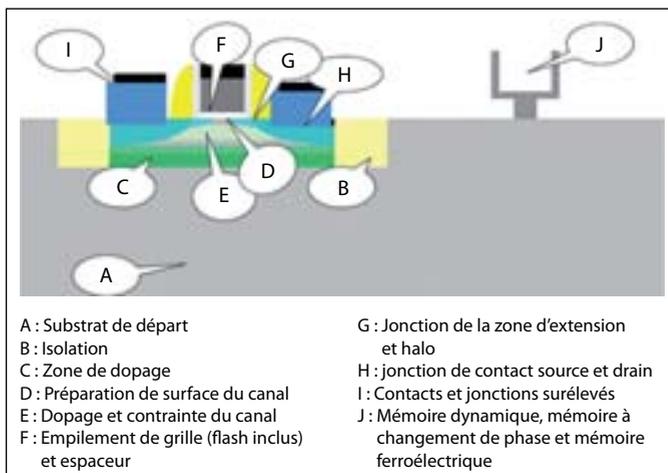
les dommages correspondant à dix années de durée de vie par exemple.

1.4. Les défis scientifiques

Le schéma de la **Figure 4** donne les différentes zones du transistor : la source, le drain et la grille, qui doivent toutes être réalisées de façon très précise. On va s'intéresser tout d'abord au matériau semi-conducteur⁴ : le silicium (ou selon une variante, le silicium sur isolant « SOI »), selon l'application visée, il est plus ou moins dopé. Un impératif de fabrication est alors de respecter des objectifs d'isolation électrique entre les différents transistors individuels que comporte le composant. On est en effet en train de fabriquer des milliards de transistors les uns à côté des autres ; on a besoin de les isoler entre eux, et de s'assurer de leurs performances individuelles sans aucune interférence (il faut désormais tenir compte de l'impact possible de l'auto-échauffement, de plusieurs dizaines de degrés Celsius, d'un transistor à l'état passant sur son transistor voisin, à l'état bloqué par exemple).

Au-delà de l'isolation, on doit réaliser l'empilement de grille de façon rigoureuse, car on n'acceptera qu'une fuite extrêmement réduite entre la source et le drain ; puis le dopage des éléments du transistor, réalisé par épitaxie (voir le paragraphe 2.4.) : on

4. Un semi-conducteur est un matériau dont la conductivité électrique se situe entre celle d'un isolant et celle d'un conducteur.



A : Substrat de départ
 B : Isolation
 C : Zone de dopage
 D : Préparation de surface du canal
 E : Dopage et contrainte du canal
 F : Empilement de grille (flash inclus) et espaceur
 G : Jonction de la zone d'extension et halo
 H : jonction de contact source et drain
 I : Contacts et jonctions surélevés
 J : Mémoire dynamique, mémoire à changement de phase et mémoire ferroélectrique

Figure 4

Description des principaux défis techniques au niveau d'un transistor.

définit ainsi des zones dopées surélevées. Après avoir fabriqué les transistors unitaires (niveau 0 du composant), on les assemble, on les interconnecte par un réseau de lignes, à travers un empilement d'étages successifs (treize étages dans les composants les plus récents fabriqués en 2013).

1.5. Les niveaux d'interconnexions

Dans les années 1970, on empilait deux niveaux de couches de transistors ; on est ensuite passé à quatre niveaux, et aujourd'hui treize niveaux d'interconnexions, aboutissant donc à des puces très complexes. Il s'agit de construire non plus un bâtiment à deux ou trois étages mais un bâtiment à treize étages ; il faut imaginer les ascenseurs et les escaliers à l'intérieur de ce petit bâtiment miniature à base ultra réduite, pour que le signal puisse circuler et que les milliards de transistors qui le composent puissent être correctement interconnectés (**Figure 5**).

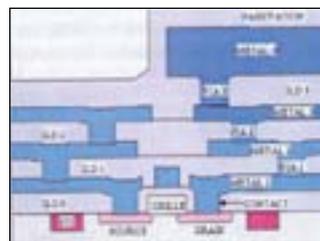


Figure 5

Schéma d'une coupe latérale d'un transistor.

Un chiffre est intéressant à retenir : 1 à 2 milliards de transistors dans les micro-processeurs les plus avancés. Mais dans les composants de type « mémoires », comme développés par Samsung ou Toshiba, il s'agit de 30 et 40 milliards de transistors sur des surfaces réduites de l'ordre du centimètre carré – vraiment de l'« ultra-densité » !

La **Figure 6** reproduit une coupe latérale d'un transistor, prise en microscopie électronique à balayage. On y voit les connexions, les différents étages et les lignes qui permettent d'interconnecter les différentes parties les unes sous les autres.

Sur une autre photo (**Figure 7**), on observe quatre niveaux de couches métalliques, dénotées « métal 1, 2, 3 ou 4 ». On doit ainsi créer treize étages pour que, depuis la « base ou niveau 0 », on puisse interconnecter tous les transistors entre eux. La complexité est naturellement d'éviter les

courts-circuits, ainsi que de faire en sorte qu'il n'y ait pas de problèmes d'électromigration.

2 Zoom « chimie » : au coeur des nanotransistors

La chimie intervient au coeur de la fabrication des transistors. Illustrons ici ce point fondamental.

2.1. La chimie des matériaux : les substrats SOI

Le CEA-LETI, à travers le brevet de Michel Bruel déposé en Septembre 1991, a proposé une technologie appelée « Smart Cut™ » (**Figure 8**). À partir de deux substrats A et B monocristallins et à travers un jeu d'oxydation et d'implantation d'hydrogène (l'étape clé du procédé), on réalise un collage direct moléculaire entre les deux surfaces. Un recuit⁵ à haute température cause la diffusion de l'hydrogène, ce qui, du fait de la pression opérée par le wafer⁶ (les substrats A et B encore collés l'un à l'autre), entraîne la formation d'un plan de scission au niveau de l'hydrogène implanté et permet de séparer

5. Le recuit d'une pièce métallique ou d'un matériau consiste en une montée graduelle en température suivie d'un refroidissement contrôlé. Cette procédure permet de modifier les caractéristiques physiques du matériau.

6. Un wafer est une plaque ou galette de silicium très pure, utilisée pour la fabrication de circuits intégrés ; c'est sur cette galette que seront gravés les milliards de transistors qui composent le circuit.

Figure 6

Vue latérale d'un transistor au microscope électronique à balayage (MEB).

Source : CEA-LETI.

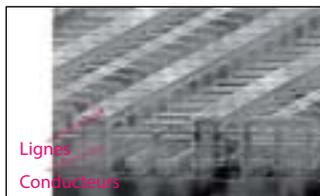
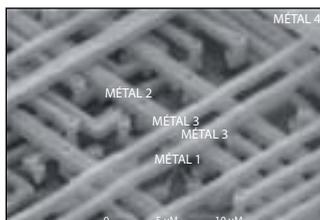


Figure 7

Vue de dessus des nombreuses interconnexions au sein d'un transistor au MEB.

Source : CEA-LETI.



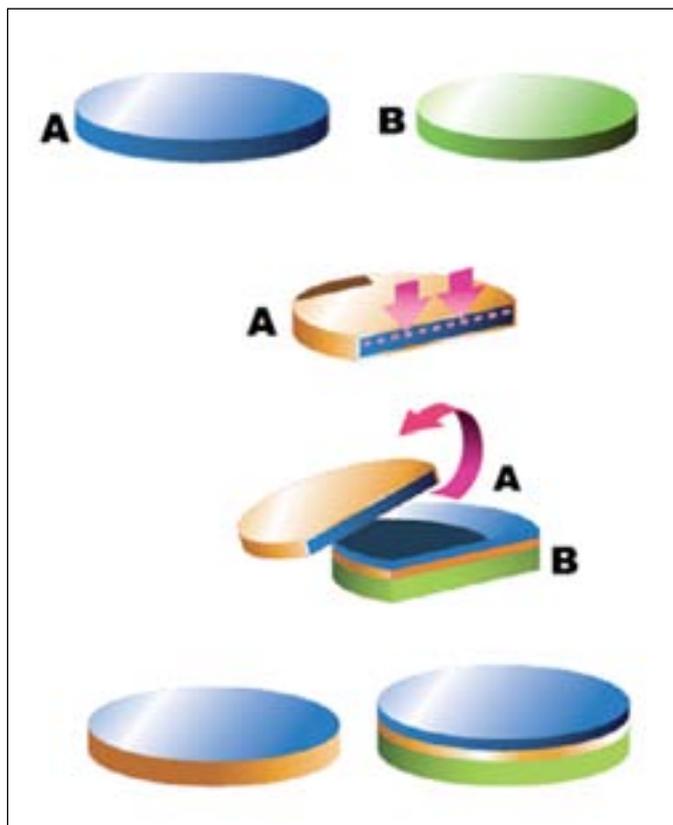


Figure 8

Présentation de la technologie Smart Cut™ et du collage moléculaire de deux substrats A et B.

deux matériaux : le premier substrat « B » se voit recouvert d'une fine couche qui appartenait précédemment au substrat « A » : c'est la réalisation d'un matériau SOI. Sur la **Figure 8**, on voit le silicium substrat B massif 500 microns classique (en vert), puis la couche (en orange) qui est un oxyde de silicium qui nous intéresse pour ses propriétés très isolantes. En surface, on a reporté (en bleu) une couche fine de silicium et finalisé le SOI : Si/SiO₂/Si. Il reste encore à optimiser la surface, après ce transfert de couche mince, pour en faire un substrat pertinent pour l'industrie, à savoir ayant

une rugosité appropriée (de l'ordre de 0,1 nm RMS⁷ pour une surface scannée de 30 x 30 µm) et un écart d'épaisseur de l'ordre de 0,5 nm maximum (pour une épaisseur à livrer de 12 nm).

Si le substrat A est un substrat semi-conducteur de germanium, on fabrique un substrat appelé GeOI (ou « *Germanium On Insulator* »). On peut ainsi réaliser une diversité d'emplacements à partir des matériaux A et B comme Si, SiC, Ge, GaN, etc.

7. RMS : Root Mean Square, est une valeur moyenne (de rugosité) sur une surface précisée (ici 30 x 30 µm).

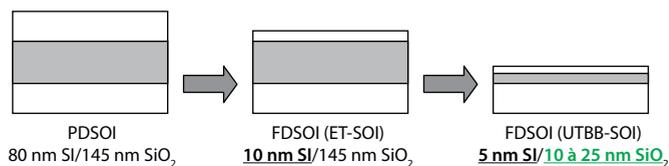


Figure 9

Évolution sur quelques années des substrats SOI (Si/SiO₂/Si) à partir desquels sont élaborés les transistors les plus avancés. De la technologie « partiellement déplétée » (PDSOI) à la technologie « totalement déplétée » (FDSOI) : les seuls 5 nm de silicium en surface définissent au mieux le canal des transistors et le passage des porteurs.

PDSOI : Technologie SOI partiellement déplétée ; FDSOI : Technologie SOI totalement déplétée ; ET-SOI : Matériau SOI extra fin ; UTBB-SOI : Couches SOI (Si et SiO₂) peu épaisses.

Commencer la fabrication du transistor sur un matériau SOI à la place d'un silicium permet d'augmenter considérablement les caractéristiques physiques : la couche SOI présente en effet l'avantage d'avoir l'épaisseur de canal idéale pour la performance du transistor et d'être isolée parfaitement du substrat ou support, ce qui permet de limiter très fortement les fuites à travers la verticalité de la structure.

Les épaisseurs des empilements SOI ont été successivement optimisées : l'épaisseur de silicium a ainsi été réduite de 80 nm (technologie dite « PDSOI ») à 10 nm puis 5 nm dans les technologies les plus avancées (dites « FDSOI »), alors que l'épaisseur d'oxyde enterré SiO₂ a été diminuée de 145 nm (standard proposé par IBM il y a quelques décennies) à 25, voire 10 nm afin de bénéficier d'un atout supplémentaire très intéressant qui est d'appliquer une tension sous l'oxyde enterré (en face arrière donc), afin d'influencer, à travers cet oxyde aminci,

le transistor construit (sur la face avant), et en particulier sa tension de passage de l'état bloqué à l'état passant (**Figure 9**). Cette option récente d'intégration permet de fabriquer de manière très contrôlée des transistors de longueurs de grilles de 10 à 20 nm, bien isolés, pour garantir d'excellentes performances.

2.2. La chimie des surfaces et des interfaces : le séchage

Le phénomène du « collage moléculaire » est un procédé clé permettant la réalisation du SOI : il s'agit de mettre en contact deux surfaces idéalement préparées (rugosité adaptée, hydrophilie spécifique, minimum de particules) et de bénéficier d'un mécanisme de surface lié à la présence de liaisons hydrogène. Celles-ci sont extrêmement sensibles aux conditions de préparation, de température (**Figure 10**), et il faut donc une extrême maîtrise pour obtenir un collage moléculaire réussi permettant aux deux substrats d'être parfaitement

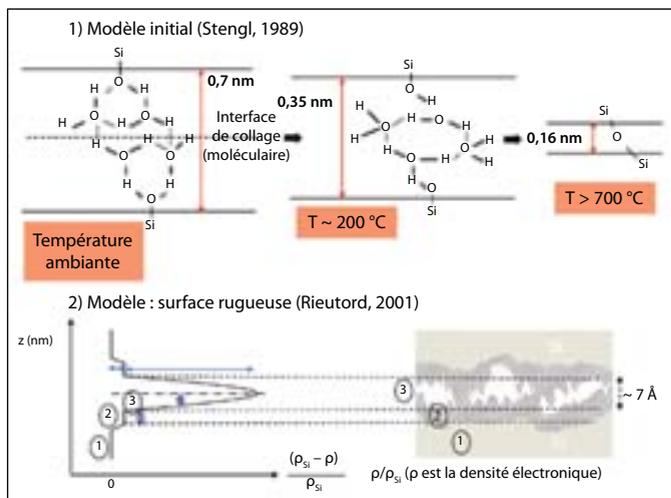


Figure 10

A) Mécanismes proposés pour le processus de collage moléculaire en fonction de la température : la liaison hydrogène joue un rôle essentiel à température ambiante ; les aspérités et les définitions précises des surfaces sont aussi essentielles pour affiner la compréhension de ces phénomènes aux interfaces.

B) La mesure de la densité électronique (ou son ratio vis-à-vis du matériau Si) selon la valeur nous indique le positionnement (en z) de Si, SiO_2 ou du vide (chute de la densité électronique). La technique nous a permis de mesurer cette interface de collage (évaluation de la zone de vide) et donc de savoir sous quelles conditions on a pu la fermer/sceller au mieux.

1 : matériau silicium ; 2 : matériau SiO_2 ; 3 : interface de collage (« vide »).

Sources : R. Stengl et coll. (1989). *J. J. Appl. Phys.*, 28 ; F. Rieutord et coll. (2001)., *Phys. Rev.*, B 63 ; F. Rieutord et coll. (2006).

scellés. La structure chimique des surfaces – et donc leur réactivité, qui intervient dans le collage moléculaire – a été étudiée avec les techniques les plus modernes, comme l'utilisation du Synchrotron de Grenoble⁸ appelé E.S.R.F. (European Synchrotron Radiation Facility) ; cela a permis de connaître l'effet des recuits en température ou les

conditions de la formation de liaisons Si-O-Si.

Pour réussir le collage moléculaire, il faut entre autres appliquer une gestion rigoureuse de l'eau. À l'échelle nanométrique, intervient en effet un phénomène similaire qu'à grande échelle lorsqu'on veut coller un film plastique sur une surface : on doit éviter toute présence d'eau résiduelle qui confinerait des bulles et empêcherait un collage de qualité.

La **Figure 11A** schématise le cas d'un collage entre deux oxydes de type SiO_2 . Si une certaine quantité d'eau est présente en

8. Au sujet du synchrotron, voir *La chimie et l'art, le génie au service de l'homme*, Chapitre de K. Janssen, coordonné par M.-T. Dinh-Audouin, R. A. Jacquesy, D. Olivier et P. Rigny, EDP Sciences, 2010.

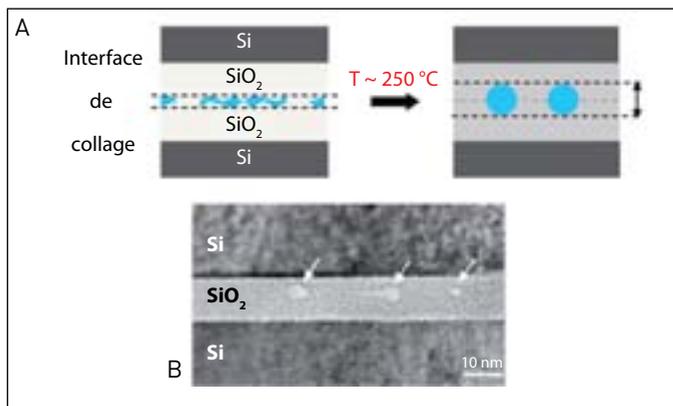


Figure 11

A) Représentation schématique de l'apparition de cavités à une interface de collage lors d'un recuit (cas du collage direct SiO_2 - SiO_2) ; B) cavités nanométriques observées dans le cas d'un collage direct SiO_2 - SiO_2 (3 nm-7 nm) après un recuit de 2 h à 300 °C.

Source Fig. 11A : C. Ventosa et coll. (2009). *Electrochemical and Solid State Letters*, 12(10).

Source Fig. 11B : D. Lafond et A-M. Papon, CEA-LETI.

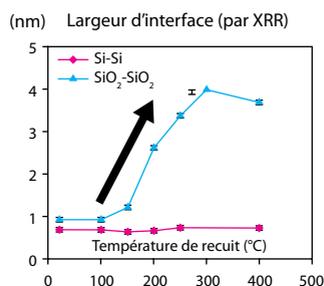


Figure 12

Évolution de la largeur d'interface en fonction de la température de recuit selon les matériaux collés. On observe une augmentation de la largeur d'interface avec la température, à partir de 200 °C, dans le cas SiO_2 - SiO_2 .

évidence la formation de ces nanocavités, à l'interface de deux oxydes thermiques collés, de 3 et 7 nm d'épaisseur respectivement. Pour éviter ces défauts, il convient d'optimiser précisément l'étape de séchage.

On peut sécher une surface par différentes approches techniques : soit par le vide, soit par un courant gazeux, soit par le chauffage ou encore par l'utilisation de solvants à faible tension de surface. Pour trois conditions différentes de procédé, de pression ou de température, on observe par microscopie acoustique à balayage l'interface des deux surfaces collées, et l'on qualifie la réponse de cette interface par la présence de défauts (Figure 13). Cela permet de définir les conditions de procédé optimales ; le résultat de ces mises au point est un collage quasiment parfait à l'échelle de cette technique de caractérisation.

surface avant le collage moléculaire, elle va être encapsulée et générer des nanocavités lors de la montée en température. On observe (au moyen du rayonnement synchrotron) que la largeur de l'interface s'ouvre à partir d'environ 200 °C (voir la Figure 12) et l'on y détecte (en microscopie électronique à transmission, MET) la présence de nanocavités. La Figure 11B met bien en

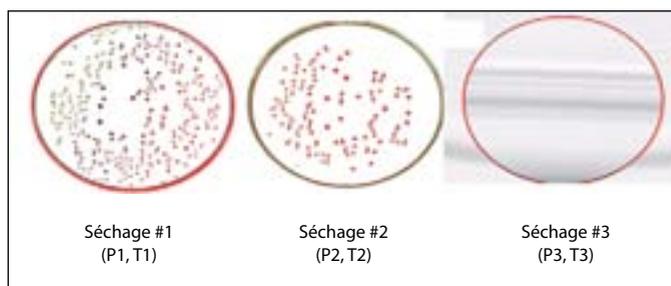


Figure 13

Optimisation du séchage : observation par microscopie acoustique à balayage de deux substrats collés. Dans des conditions optimales de séchage, il est possible de limiter la défektivité à l'interface de collage des deux matériaux.

2.3. La chimie des liquides : la gravure HF/BOE

L'application représentée sur la **Figure 14** est celle de la préparation de surface d'un SOI. On subit généralement une pollution de la surface du SOI par une couche d'oxyde natif (typiquement de l'ordre de 0,8 à 1,5 nm), ou bien l'intégration globale a imposé à ce stade de fabrication un oxyde thermique plus épais (typiquement de l'ordre de 3 à 6 nm) qu'il convient d'éliminer pour réaliser une couche ultérieure (un contact métallique, ou encore une couche épitaxiée⁹ dopée par exemple). La complexité de l'étape réside dans le fait qu'il faut retirer la couche d'oxyde de surface SiO_2 en impactant au minimum l'espaceur du transistor (en vert sur la figure) qui est généralement en nitrure de silicium Si_3N_4 . Sans précaution, on obtient une sélectivité d'environ un pour un, c'est-à-dire que lorsqu'on enlève 1 nm verticalement d'oxyde, on enlève simultanément 1 nm de niture latéralement. Cela est devenu inacceptable dans les technologies avancées où l'espaceur ne mesure que 5 à 10 nm ; il faut développer un procédé de nettoyage adapté, et pour cela faire appel à la chimie.

Un procédé chimique intéressant s'appelle le BOE (« *Buffered Oxide Etching* ») et utilise un mélange d'acide fluorhydrique (HF) et de fluorure d'ammonium (NH_4F). En variante du BOE dit commercial (on achète un mélange préparé HF+ NH_4F), on se propose d'élaborer notre propre

9. Voir le paragraphe 2.4. sur l'épitaxie.

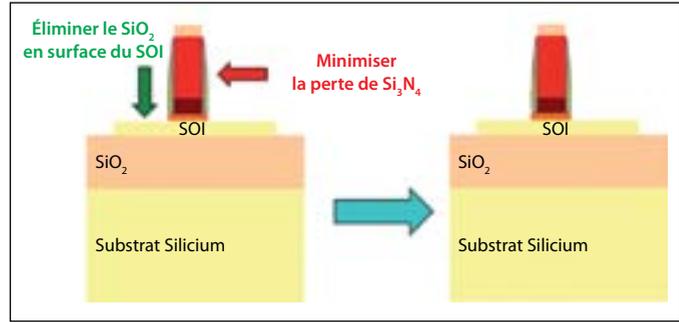


Figure 14

Optimisation de la chimie de préparation de surface pour une gravure sélective entre SiO_2 et Si_3N_4

BOE, dit co-injecté, par ajout de NH_3 ou d'hydroxyde d'ammonium NH_4OH , qui est une représentation de $(\text{NH}_3, \text{H}_2\text{O})$ sur une solution de HF mis en excès, de sorte que l'ensemble de NH_3 est transformé en NH_4F par une réaction quasi-totale de l'acide sur la base, et l'excès de HF judicieusement choisi permet de formuler le mélange final HF/ NH_4F .

Dans le mélange BOE, se retrouvent huit espèces chimiques principales : les molécules HF et H_2F_2 , et les ions F^- et HF_2^- provenant de l'ionisation de l'acide fluorhydrique, et à partir du fluorure d'ammonium, la molécule d'ammoniaque (NH_3) et les ions H^+ et OH^- ainsi que l'ammonium NH_4^+ . Toutes ces espèces entrent dans de nombreux équilibres chimiques, résumés sur la **Figure 15**.

Les équations chimiques qui gouvernent ces équilibres peuvent être simulées sur ordinateur, et dans les conditions chimiques retenues, le mélange a un pH de l'ordre de 2,9 ; les concentrations des espèces fluorées présentes sont données par le calcul, les résultats de cet exemple sont présentés sur les tableaux de la **Figure 16**. La condition

Figure 15

La chimie BOE (« Buffered Oxide Etching ») : un système de huit équations à huit inconnues.

Réf. : Le Tiec et coll. (2011), SPCC.

Espèces chimiques
(8 espèces/8 équations)

HF, F⁻, H₂F₂, HF₂⁻
NH₃, NH₄⁺
H₃O⁺, OH⁻

- (1) $\text{HF} + \text{H}_2\text{O} \rightleftharpoons \text{F}^- + \text{H}_3\text{O}^+$
- (2) $\text{NH}_4^+ + \text{H}_2\text{O} \rightleftharpoons \text{NH}_3 + \text{H}_3\text{O}^+$
- (3) $2\text{H}_2\text{O} \rightleftharpoons \text{OH}^- + \text{H}_3\text{O}^+$
- (4) Électro-neutralité
- (5) Conservation de masse de F
- (6) Conservation de masse de N
- (7) $\text{HF} + \text{F}^- \rightleftharpoons 2\text{HF}_2^-$
- (8) $\text{HF} + \text{HF} \rightleftharpoons \text{H}_2\text{F}_2$

$$K_{a1} = 10^{-3.16} = \frac{[\text{F}^-][\text{H}_3\text{O}^+]}{[\text{HF}]}$$

$$K_{a2} = 10^{-9.2} = \frac{[\text{NH}_3][\text{H}_3\text{O}^+]}{[\text{NH}_4^+]}$$

$$K_e = 10^{-14} = [\text{H}_3\text{O}^+][\text{OH}^-]$$

$$[\text{H}_3\text{O}^+] + [\text{NH}_4^+] = [\text{OH}^-] + [\text{F}^-] + [\text{HF}_2^-]$$

$$[\text{HF}] + [\text{F}^-] + 2[\text{HF}_2^-] + 2[\text{H}_2\text{F}_2] = \text{constante A}$$

$$[\text{NH}_3] + [\text{NH}_4^+] = \text{constante B}$$

$$K_{d1} = 3,963 = \frac{[\text{HF}_2^-]}{[\text{HF}][\text{F}^-]} \quad K_{d2} = 2,7 = \frac{[\text{H}_2\text{F}_2]}{[\text{HF}]^2}$$

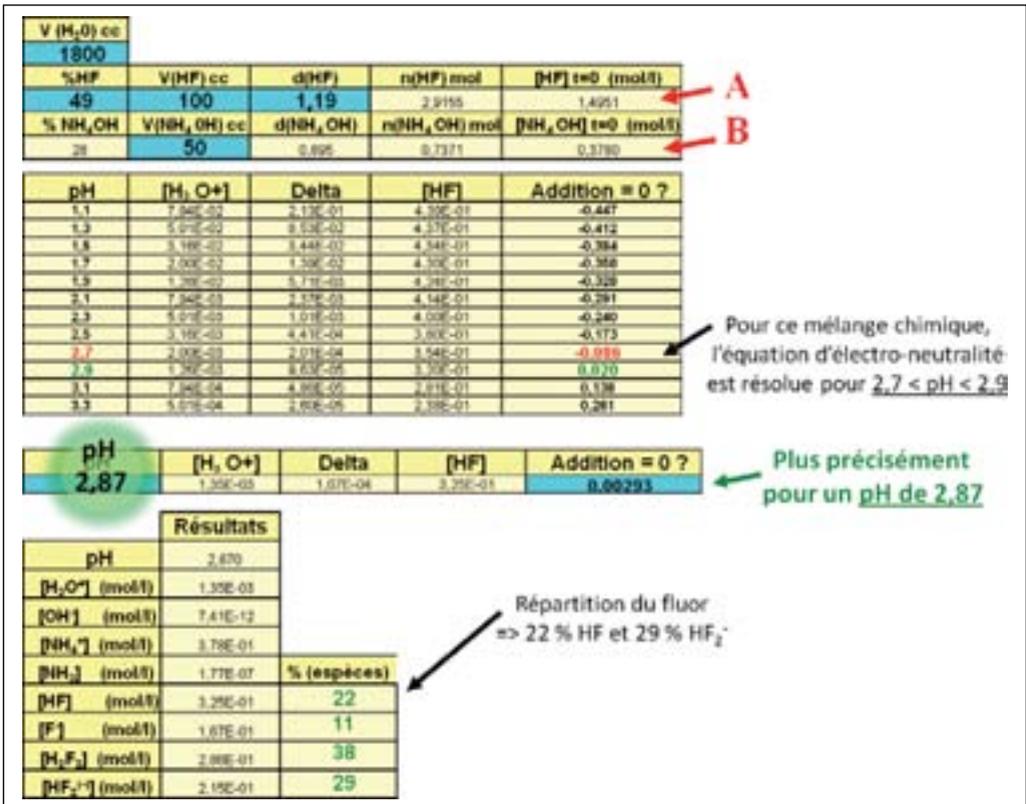
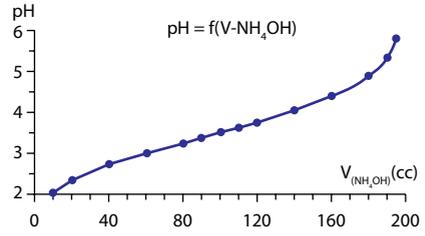


Figure 16

Tableau du haut : simulation pour : 50cc NH₄OH + 100cc HF 49 % dans 1800 cc d'eau. Les huit concentrations théoriques sont évaluées. Tableau du bas : suivi de la neutralisation de HF par l'ammoniaque pour une simulation.

V (NH ₄ OH)	« BOE XI1 »	[HF]	[H ₂ F ₂]	[F ⁻]	[HF ₂ ⁻]	pH
10	0,13	28 %	63 %	2 %	7 %	2,04
20	0,28	26 %	57 %	4 %	13 %	2,34
40	0,63	23 %	45 %	8 %	24 %	2,72
60	1,08	20 %	33 %	14 %	33 %	3,00
80	1,68	17 %	23 %	20 %	40 %	3,24
90	2,07	15 %	18 %	24 %	43 %	3,36
100	2,53	13 %	14 %	29 %	44 %	3,49
110	3,1	12 %	11 %	33 %	44 %	3,62
120	3,82	10 %	8 %	39 %	43 %	3,75
140	5,99	7 %	3 %	51 %	39 %	4,05
160	10,48	4 %	1 %	67 %	28 %	4,40
180	25,05	2 %	0 %	84 %	14 %	4,89
190	60,43	1 %	0 %	92 %	7 %	5,32
195	173,6	0 %	0 %	97 %	3 %	5,79



A

B

Figure 17

A) Tableau indiquant le résultat d'une succession de simulations où seul le volume d'ammoniaque augmente ; B) courbe de neutralisation pH-métrique de la solution de HF par ces mêmes solutions d'ammoniaque.

de pH-métrie qui résout cet exemple de système de huit équations est donnée par le respect de la condition d'électroneutralité, selon laquelle l'ensemble des charges positives (issues des ions H⁺ et NH₄⁺) doit être compensé par l'ensemble des charges négatives (issues des ions OH⁻, F⁻ et HF₂⁻). Dans le tableau, cela est symbolisé par le fait que la différence est nulle (= 0).

Des simulations ont été faites pour un volume de HF donné et des concentrations croissantes d'ammoniaque (Figure 17A). On obtient une courbe classique de neutralisation pH-métrique (Figure 17B), où le pH augmente avec l'ajout d'ammoniaque qui vient neutraliser HF. L'évolution des concentrations des espèces fluorées (Figure 18) montre que les concentrations en HF et en H₂F₂ diminuent alors, celle des ions fluor (F⁻) augmente corrélativement. La concentration de l'ion HF₂⁻ en

revanche passe par un maximum. Comme les espèces HF et HF₂⁻ sont les plus actives pour la gravure de SiO₂, on a ajusté la composition du mélange chimique autour du maximum de concentration de HF₂⁻ (c'est-à-dire à l'optimum de gravure).

Dans ces conditions, on est capable de graver la couche de SiO₂ en épargnant le nitrure de silicium ; les sélectivités expérimentales obtenues sont de l'ordre de dix pour un, et l'on atteint ainsi l'objectif d'enlever 5 nm de SiO₂ tout en ne consommant que 0,5 nm de Si₃N₄ sur le flanc du transistor.

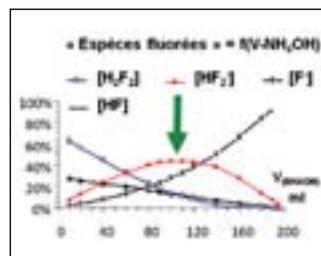


Figure 18

Évolution des concentrations des espèces fluorées au cours de la neutralisation par l'ammoniaque NH₃. L'espèce HF₂⁻ connaît un optimum pour un pH proche de 3,4 (44 % du fluor est alors sous cette forme complexée).

2.4. La chimie des matériaux : les épitaxies

Dans la continuité de l'étape précédente décrite dans le paragraphe 2.3., après l'élimination de l'oxyde en surface du SOI, on peut procéder au dépôt d'une couche de matériau par la méthode dite d'« épitaxie », méthode par laquelle on fait croître sur la surface un matériau de réseau cristallin similaire, ou presque similaire (**Figure 19**).

Dans la fabrication des transistors de type p, on peut rencontrer une situation d'« épitaxie contrainte ». La couche la plus appropriée, celle qui permet les meilleures performances, est en Germanium (Ge), ou bien, dans une situation intermédiaire, un alliage

silicium/germanium (SiGe), mais celui-ci n'a pas rigoureusement la même maille cristalline que le silicium utilisé comme substrat. Le dépôt par épitaxie reste cependant possible, mais en situation contrainte : les premières couches de SiGe que l'on dépose s'adaptent au substrat de silicium en suivant son paramètre de maille dans la direction de croissance, une adaptation qui devient impossible au-delà d'une épaisseur critique du dépôt (e_c).

On parle de SiGe contraint (**Figure 20**) : SiGe n'est pas dans son état naturel relaxé, on parle d'état pseudo-morphique. Au-delà de l'épaisseur critique, des défauts de croissance vont se produire

Figure 19

Schéma de l'ajout d'une couche par épitaxie sur la surface d'un matériau SOI.

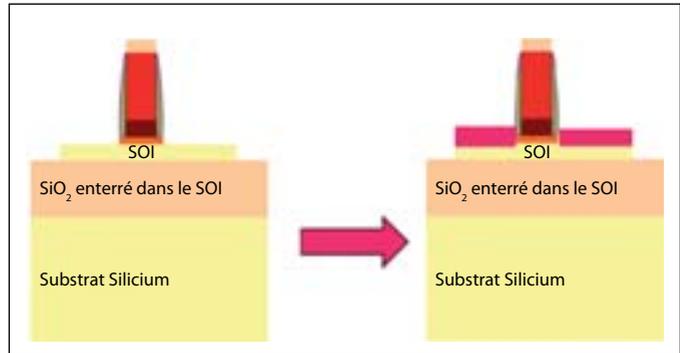
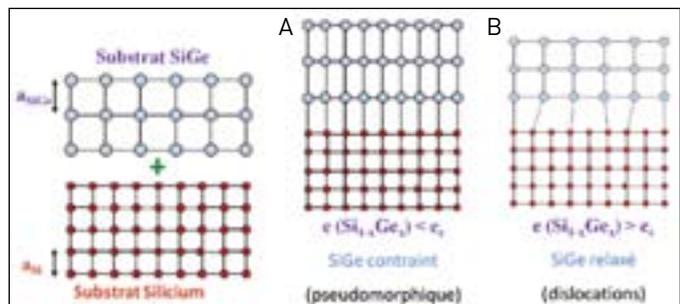


Figure 20

Croissance d'une couche de SiGe sur Si : les réseaux cristallins ont des paramètres de maille différents. Selon l'épaisseur de SiGe déposée, on peut être dans un scénario de SiGe contraint (cas A), ou alors le SiGe est relaxé avec création de défauts (dislocations, cas B).



avec l'apparition de ce qu'on appelle des dislocations. Des études de caractérisation doivent considérer ces différents cristaux, leurs paramètres de maille, comprendre les types de déformations : toute une problématique de la chimie des matériaux. Il en résulte par exemple une meilleure maîtrise de l'épaisseur critique, paramètre clé pour l'optimisation des dépôts et donc l'ajustement de la performance des transistors.

Selon le transistor envisagé, on visera des alliages silicium/germanium de différentes compositions – qui peut être de 5 % ou de 50 % de germanium (**Figure 21A**). Pour réaliser ces couches, on utilise la technique de dépôt chimique à partir de phases gazeuses. Un mélange de dichlorosilane (SiH_2Cl_2 gaz) et de germane (GeH_4 gaz) (**Figure 21B**) est utilisé suivant des conditions de température, débit, pression, définies par le laboratoire de chimie en fonction des compositions finales souhaitées pour les dépôts. Les points de fonctionnement sélectionnés seront testés en vraies grandeurs afin de qualifier la réponse électronique des matériaux déposés au travers des performance testées des transistors associés.

La **Figure 22** illustre l'épitaxie de SiGe dopé au Bore (B) avec 30 % de germanium pour les zones de source et drain (partie haute de la figure) ; un SiGe avec 20 % de germanium a été intégré comme matériau pour le canal afin d'y optimiser la mobilité des porteurs (trous), sur la partie basse de la figure.

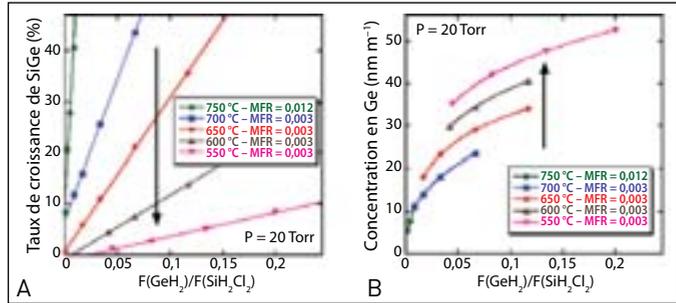


Figure 21

Chimie des procédés : génération d'abaques en fonction du rapport gazeux germane/dichlorosilane : A) vitesse de croissance du SiGe selon la température à une pression de 20 Torr ; B) concentrations de germanium associées.

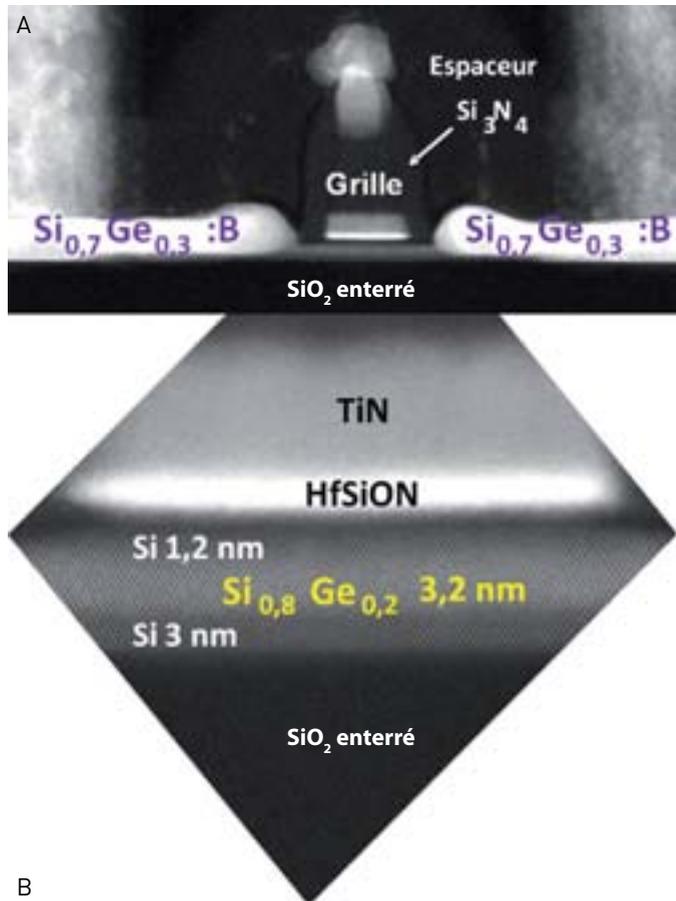


Figure 22

Observation de SiGe épitaxié dans les zones clés : A) source et drain « surélevés » (en haut) ; B) canal du transistor en SiGe (en bas).

2.5. La chimie des matériaux : de nouveaux matériaux de grille

La grille – sorte d'interrupteur qui s'ouvre et qui se ferme – est constituée d'un oxyde de grille dont on cherche à augmenter la performance en termes d'isolation : c'est en effet le « coeur du transistor », et l'épaisseur de cet oxyde diminue au fil de la miniaturisation. On a ainsi observé que le matériau historique SiO_2 connaissait une épaisseur limite certaine à partir de la technologie « 65 nm », de sorte que pour les nœuds technologiques suivants, de nouveaux matériaux ont dû être intégrés, principalement autour des éléments hafnium (Hf) et zirconium (Zr), et donc de leurs oxydes correspondants HfO_2 et ZrO_2 . Les études structurales de ces deux matériaux ont permis de comprendre les comportements et les caractéristiques techniques de leurs différentes variétés cristallines (cubique,

tétragonal, monoclinique) : la permittivité relative ϵ_r , qui traduit en quelque sorte le pouvoir isolant du matériau, varie précisément selon la maille cristalline (**Tableau**). La capacité d'isolation C , s'exprimant selon $C = eS/e$, on augmente la capacité en augmentant la valeur e de l'oxyde d'isolation pour une géométrie fixée (surface S , épaisseur e restant constantes) ; ou bien, pour une même capacité (performance) visée, on peut se permettre d'augmenter l'épaisseur e et donc sécuriser l'ouverture de la grille, en utilisant ces nouveaux matériaux à permittivité plus élevée. Dans la communauté internationale, ces nouveaux oxydes de grille sont reconnus dans la catégorie des matériaux « *High k* ».

Des études de chimie de simulation ont également été menées pour définir la façon dont un dépôt de HfO_2 va s'organiser sur une surface donnée (**Figure 23**). Les procédés

Tableau

Caractéristiques cristallographiques de HfO_2 et ZrO_2

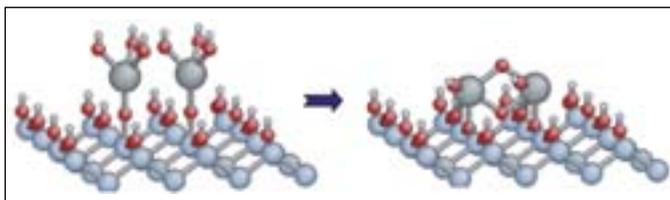
HfO_2			ZrO_2		
Phase	ϵ_r	E_g (eV)	Phase	ϵ_r	E_g (eV)
Cubique	29	3,15	Cubique	37	2,63
Tétragonal	70	3,84	Tétragonal	38	3,31
Monoclinique	16-18	2,98	Monoclinique	20	2,98

Source : C. Zhao *et coll.* (2002). MRS Vol. 745.

Figure 23

La chimie de simulation permet de définir la façon dont un dépôt de HfO_2 va s'organiser sur une surface donnée: ici, il dimérise (à droite).

Source : C. Mastail (2010), PhD thesis.



de dépôt chimique, toujours par dépôts en phase gazeuse, sont étudiés et définis dans les laboratoires.

La **Figure 24** retrace la nature des métaux utilisés pour la fabrication des transistors au fil des générations. On est passé des siliciures de molybdène au tungstène, titane, cobalt, nickel. Aujourd'hui, pour optimiser la résistivité, on « siliciure » à la fois la grille, la source et le drain avec NiSi présentant généralement 5 à 15 % de platine.

Pour les transistors de type n, on utilise essentiellement le substrat/matériau silicium ; pour les transistors de type p, on travaille aussi sur le germanium et sur l'alliage silicium/germanium comme décrit précédemment (paragraphe 2.4.). La réalisation des contacts dans ces cas est différente car les matériaux peuvent exister sous différentes phases, ce qui nécessite de définir les conditions thermiques précises pour réaliser d'excellents contacts (**Figure 25**). Ces tâches conduisent à étudier de très près la chimie métallurgique, la chimie des

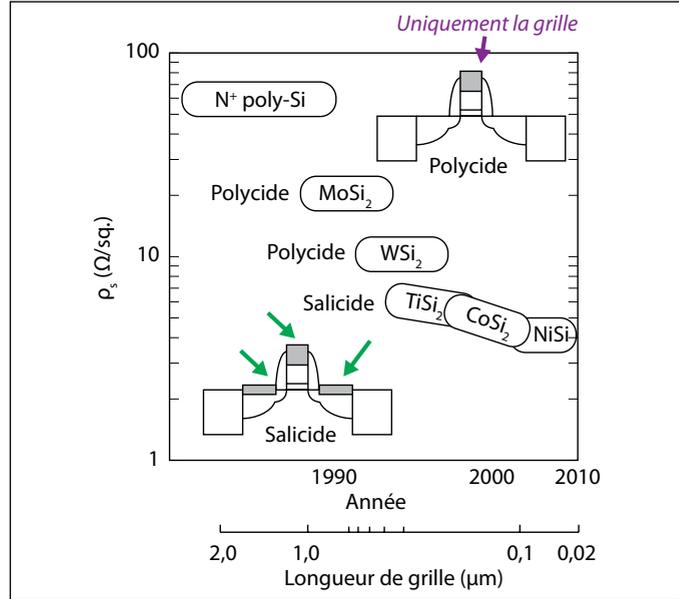


Figure 24

Les métaux dans les transistors.
Source : Iwai et coll. (2002).
Microelectronic Eng. 60.

contacts. Le siliciure de nickel se présente ainsi sous la forme Ni₂Si à basse température puis évolue sous la forme NiSi à plus haute température. Le germaniure de nickel NiGe n'existerait que sous une seule phase et surtout, sa résistivité augmente fortement à partir de 450 °C, soit une température significativement inférieure si on compare avec NiSi. On

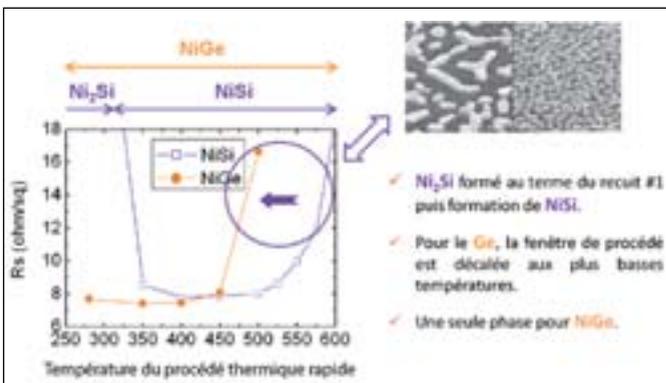


Figure 25

Chimie des contacts : différentes phases au sein des matériaux en fonction de la température.
Source : V. Carron et coll. (2007).
ECS 2007.

comprend donc que la fenêtre du procédé de siliciuration (établissement du contact sur les zones source, drain et grille de chaque transistor) doit être ajustée si l'on a intégré sur la même plaque du silicium (pour des transistors n optimum) et du germanium (pour des transistors p optimum).

La communauté internationale a revisité également les possibilités d'architecture des transistors ; différentes options sont représentées (Figure 26). On doit toujours définir source, drain et grille, mais ces trois espaces sont arrangés selon différents designs. La technologie planaire historique est désormais challengée par la technologie verticalisée dite « 3D » / FinFET. Enfin, l'utilisation avantageuse de structure à base de (multi)nanofils, pour faire transiter les porteurs de

charges dans des « canalisations dédiées » a été démontrée (Figure 26).

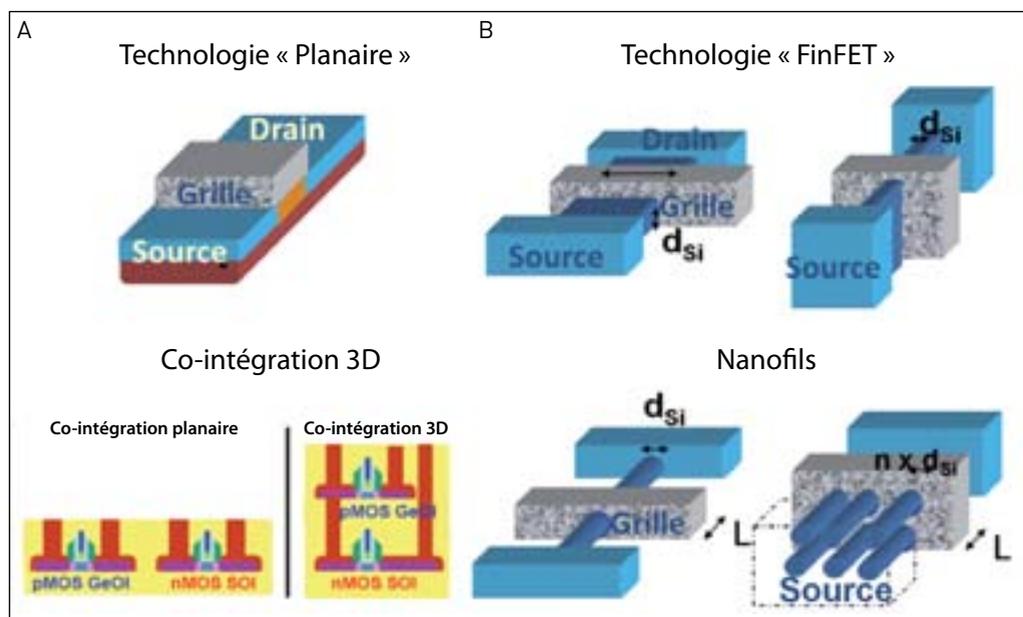
Ces techniques de nanofils permettent potentiellement de détecter des masses aussi faibles que 10^{-18} et 10^{-21} grammes (atogrammes ou zeptogrammes). C'est la performance, la sensibilité, à laquelle aujourd'hui, grâce aux nano-objets, on est capable de réaliser une détection performante (Figure 27).

La Figure 28 présente la variation de la conductance de nanofils de silicium fabriqués, selon différentes conditions de pH. « La boucle est bouclée » : la compréhension des différents aspects chimiques (matériaux, surfaces, interfaces, etc.) permet la réalisation de nano-objets, et certaines de ces créations permettent de mesurer... une activité chimique telle que le pH !

Figure 26

A) Schéma de différentes architectures de transistors ; B) schéma de l'utilisation de nanofils (tubes bleus) dans un transistor.

Sources : C. Le Royer et coll. (2008), EMRS et T. Ernst et coll. (2008), IEDM.



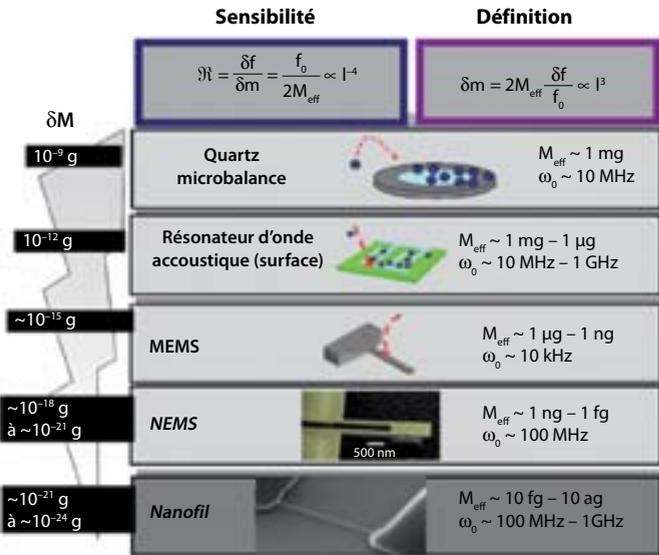


Figure 27

Différentes méthodes détectant des masses : la sensibilité varie désormais jusqu'au zeptogramme (10^{-21} g). MEMS = Microsystèmes électromécaniques.

Source : T. Ernst et coll. (2008), IEDM.

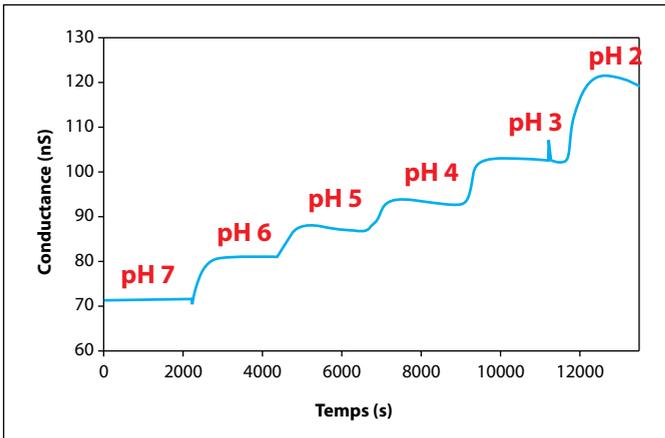
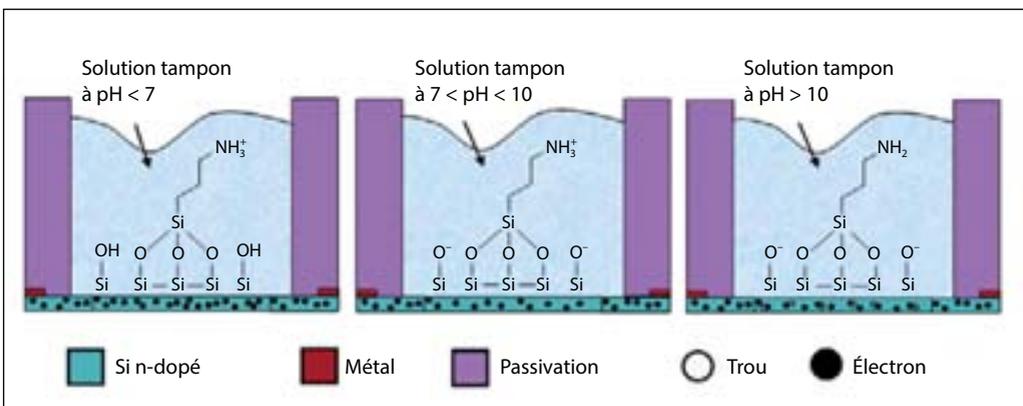


Figure 28

Variation de la conductance du nanofil de silicium selon le pH.

Source : T. Ernst et coll. (2008), IEDM.



2.6. Les métiers de la chimie pour la microélectronique

La **Figure 29** résume les différents métiers de la chimie qui sont sollicités par l'industrie des transistors. Pour fabriquer des transistors il faut réaliser des dépôts, des traitements thermiques, des implantations, des préparations de surface, des épitaxies. Il faut maîtriser le collage moléculaire, le nettoyage, le polissage mécano-chimique, etc. Les filières des substrats peuvent être celle du SOI, celle du SiGe, des matériaux III-V, du germanium, etc. Les filières de capteurs utilisent les mêmes moyens technologiques, quoiqu'à une échelle plus grande que le nanomètre (mêmes outils et expertises).

Pour une autre perspective à plus long terme, on peut citer la filière « bio », encore peu évoquée mais en réelle phase d'expansion : il s'agit de coupler les connaissances d'électronique et de chimie des surfaces avec celles de la biologie, de la biochimie et de la médecine pour explorer la possibilité de « filières bioélectroniques ». De nouveaux besoins

en support d'analyse de sang, analyse d'ADN, de blocage de protéines, etc., apparaissent, et pour y répondre, le savoir-faire de fonctionnalisation de surface est précieux.

Si l'on s'intéresse aux métiers de chimistes impliqués dans ces tâches de fabrication de transistors pour les équipements de haute technologie pour la communication, on voit une grande diversité de besoins et d'offres (**Figure 29**). Que l'on soit technicien, ingénieur, docteur, expert, on peut occuper différentes positions : par exemple démarrer dans un atelier « dépôt des métaux » pour la filière transistor, puis passer dans la filière substrats optimisant le dépôt des isolants, bifurquer vers la fabrication de capteurs, etc. ; cela à tout niveau : dans la recherche, dans le développement ou bien dans la phase de production. Dans ce dernier champ, on a ainsi besoin d'ingénieurs qui garantissent la qualité de la production, le respect des procédés notamment. Toute une filière où la chimie est impliquée nécessite des techniciens, des ingénieurs, des experts.

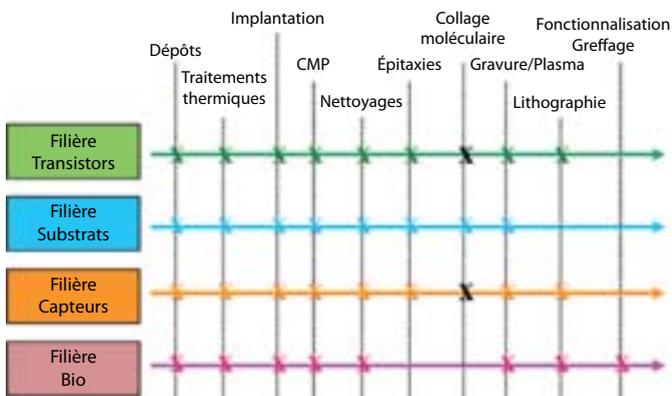


Figure 29

Les métiers de la chimie pour la microélectronique

Quelques chiffres à retenir pour comprendre

En 2013, il est possible d'incorporer quarante milliards de nanotransistors dans les composants les plus récents. Les deux familles de transistors répertoriées – les transistors haute performance et les transistors basse consommation – sont en train de converger. Elles se retrouvent aujourd'hui dans les tablettes, demain dans des montres (les montres de haute technologie, connectées, qui viennent de sortir sur le marché) – une miniaturisation extrême. La longueur de grille, aujourd'hui, est de 15 à 20 nm, c'est ce qui permet cette ultra-densité.

Parmi les bases techniques qui ont permis ces chiffres extraordinaires, il y a les progrès de la chimie : la chimie des matériaux, la chimie des surfaces, les gaz, l'eau, la chimie des procédés, les réglages d'équipements, etc. De multiples facettes de métiers passionnants, divers, dans un environnement unique et de très haute technologie.

Pour aller plus loin

- Yannick Le Tiec [2013]. *Chemistry in Microelectronics*, Wiley-ISTE, 384 pp. ISBN : 9781848214361.

- Yannick Le Tiec [2013]. *Chimie en microélectronique, Traité RTA, Micro et nano électronique et systèmes*, Hermès-Lavoisier, 384 pp. ISBN : 9782746239180.